

(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2003年3月20日 (20.03.2003)

PCT

(10) 国際公開番号
WO 03/023858 A1

- (51) 国際特許分類⁷: H01L 27/105
- (21) 国際出願番号: PCT/JP02/09032
- (22) 国際出願日: 2002年9月5日 (05.09.2002)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願2001-269542 2001年9月5日 (05.09.2001) JP
- (71) 出願人(米国を除く全ての指定国について): セイコーエプソン株式会社 (SEIKO EPSON CORPORATION) [JP/JP]; 〒163-0811 東京都 新宿区 西新宿2丁目4番1号 Tokyo (JP).
- (74) 代理人: 井上一, 外 (INOUE,Hajime et al.); 〒167-0051 東京都杉並区荻窓5丁目26番13号 荻窓TMビル2階 Tokyo (JP).
- (81) 指定国(国内): CN, JP, US.
- 添付公開書類:
— 國際調査報告書

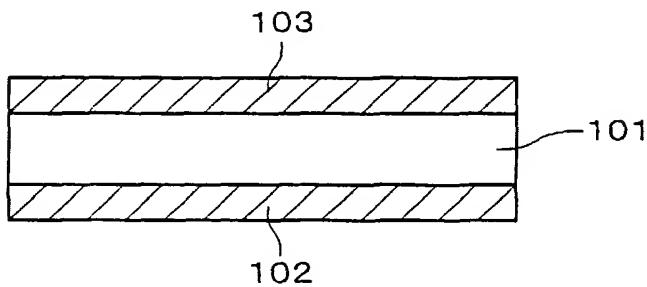
2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイドスノート」を参照。

(72) 発明者; および

(75) 発明者/出願人(米国についてのみ): 名取栄治 (NATORI,Eiji) [JP/JP]; 〒392-8502 長野県諏訪市大和3丁

(54) Title: FERROELECTRIC MEMORY DEVICE AND ITS MANUFACTURING METHOD

(54) 発明の名称: 強誘電体メモリ装置及びその製造方法



(57) Abstract: A ferroelectric memory device comprises a first electrode (102), second electrodes (103) arrayed in a direction perpendicular to the first electrode (102), and a ferroelectric film (101) disposed at least in an intersection area of the first electrode (102) and the second electrodes (103). Capacitors constituted of the first electrode (102), the ferroelectric film (101), and the second electrodes (103) are arranged in a matrix. In the ferroelectric film (101), a ferroelectric phase and a paraelectric phase are mixedly present.

(57) 要約:

強誘電体メモリ装置は、第1電極(102)と、第2電極(103)と交差する方向に配列された第2電極(103)と、少なくとも第1電極(102)と第2電極(103)との交差領域に配置された強誘電体膜(101)と、を含む。第1電極(102)、強誘電体膜(101)及び第2電極(103)によって構成されるキャパシタがマトリクス状に配置される。強誘電体膜(101)は、強誘電体相と常誘電体相とが混在している。

WO 03/023858 A1

明細書

強誘電体メモリ装置及びその製造方法

[技術分野]

本発明は、強誘電体キャパシタを用いて構成される強誘電体メモリ装置に関するものであり、特に、セルトランジスタを有さず、強誘電体キャパシタのみでメモリセルが構成される単純マトリクス型の強誘電体メモリ装置及びその製造方法に関する。

[背景技術]

近年、PZT、SBT等の薄膜や、これを用いた強誘電体キャパシタ、強誘電体メモリ装置等の研究開発が盛んに行われている。強誘電体メモリ装置の構造は1T、1T1C、2T2C、単純マトリクス型に大別できる。この中で、1T型は構造上キャパシタに内部電界が発生するためリテンション（データ保持）が1ヶ月と短く、半導体一般で要求される10年保証は不可能と言われている。単純マトリクス型は、1T1C型、2T2C型に比べセルサイズが小さく、またキャパシタの多層化が可能であるため、高集積化、低コスト化が期待されている。

従来の単純マトリクス型強誘電体メモリ装置に関しては、日本国特開平9-116107号公報等に開示されている。同公開公報においては、メモリセルへのデータ書き込み時に、非選択メモリセルへ書き込み電圧の1/3の電圧を印加する駆動方法が開示されている。しかしながら、この技術においては、動作に必要とされる強誘電体キャパシタのヒステリシスループ特性に関しては、具体的に記載されていない。本願発明者らが開発を進める中で、実際に動作が可能な単純マトリクス型強誘電体メモリ装置を得るには角型性の良いヒステリシスループが必要不可欠であることが判った。

[発明の開示]

本発明の目的は、単純マトリクス型強誘電体メモリ装置を実際に動作させるこ

とのできるヒステリシスループ特性を持つ強誘電体キャパシタを含む、単純マトリクス型強誘電体メモリ装置及びその製造方法を提供することにある。

本発明にかかる強誘電体メモリ装置は、第1電極と、前記第1電極と交差する方向に配列された第2電極と、少なくとも前記第1電極と前記第2電極との交差領域に配置された強誘電体膜と、を含み、前記第1電極、前記強誘電体膜及び前記第2電極によって構成されるキャパシタがマトリクス状に配置された強誘電体メモリ装置であって、前記強誘電体膜は、強誘電体相と常誘電体相とが混在してなる。

本発明にかかる強誘電体メモリ装置の製造方法は、第1の原料液と第2の原料液とを含むセラミックス原料液を結晶化する工程を含み、前記第1の原料液は、強誘電体相を生成するための原料液であり、前記第2の原料液は、常誘電体相を生成するための原料液である。

本発明にかかる強誘電体メモリ装置は、第1電極と、前記第1電極と交差する方向に配列された第2電極と、少なくとも前記第1電極と前記第2電極との交差領域に配置された強誘電体膜と、を含み、前記第1電極、前記強誘電体膜及び前記第2電極によって構成されるキャパシタがマトリクス状に配置された強誘電体メモリ装置であって、前記強誘電体膜は、Si及びGeの少なくとも一方を含む。

[図面の簡単な説明]

図1は、本発明の実施の形態における、強誘電体キャパシタの構成を示した図。

図2は、本発明の実施の形態における、強誘電体キャパシタのP(分極)－V(電圧)ヒステリシス曲線を示した図。

図3は、本発明の実施の形態における、単純マトリクスにより構成されるメモリセルを配列した強誘電体メモリ装置の構成を示した図であり、同図Aはその平面図、同図Bはその断面図。

図4は、本発明の実施の形態における、メモリセルアレイが周辺回路と共に同一基板上に集積化されている強誘電体メモリ装置の一例を示す断面図。

図5は、本発明の実施の形態における、成膜プロセスのフローチャート。

図 6 は、本発明の実施の形態における、ミストによる原料を基体の上に形成するための装置を模式的に示した図。

図 7 は、本発明の実施の形態における、強誘電体膜を示す平面図。

図 8 は、本発明の実施の形態における、強誘電体膜を示す断面図。

図 9 は、本発明の実施例における強誘電体膜の X R D パターンを示す図。

図 10 は、本発明の実施例におけるキャパシタのヒステリシスを示す図。

図 11 は、本発明の実施例における強誘電体膜の X R D パターンを示す図。

図 12 は、本発明の実施例における強誘電体膜の X R D パターンを示す図。

図 13 は、本発明の実施例におけるキャパシタのヒステリシスを示す図。

図 14 は、本発明の実施例におけるキャパシタの疲労特性を示す図。

図 15 は、本発明の実施例におけるキャパシタのヒステリシスを示す図。

図 16 は、本発明の実施例におけるキャパシタのインプリント及びリテンション特性を求めるための条件を示す図。

図 17 は、本発明の実施例におけるキャパシタのインプリント及びリテンション特性を示すヒステリシス図。

図 18 は、本発明の実施例におけるキャパシタのリーク電流特性を示す図。

図 19 は、本発明の実施例におけるキャパシタのヒステリシスを示す図。

図 20 は、本発明の実施例における強誘電体膜の表面写真。

図 21 は、本発明の実施例におけるキャパシタのヒステリシスを示す図。

図 22 は、キャパシタのヒステリシスを示す図。

図 23 は、本発明の実施例における強誘電体膜の断面 T E M 写真。

図 24 は、本発明の実施例におけるキャパシタのヒステリシスを示す図。

[発明を実施するための最良の形態]

本発明の実施の形態にかかる強誘電体メモリ装置は、第 1 電極と、前記第 1 電極と交差する方向に配列された第 2 電極と、少なくとも前記第 1 電極と前記第 2 電極との交差領域に配置された強誘電体膜と、を含み、前記第 1 電極、前記強誘電体膜及び前記第 2 電極によって構成されるキャパシタがマトリクス状に配置さ

れ、前記強誘電体膜は、強誘電体相と常誘電体相とが混在してなる。

角型性の良いヒステリシスを得るには、90°ドメインの発生を抑えることが重要である。本実施の形態によれば、強誘電体膜に結晶成長メカニズムの違う強誘電体相と常誘電体相とを混在させることにより、強誘電体相において膜の面方向に圧力を加えることができ、これにより90°ドメインの発生を抑制することができる。特にPZT系(PbZrTiO系)のブラベ格子は、結晶化温度においては体心立方であって、冷却過程において正方に転移する。そのため、冷却過程に膜の面方向に圧力を加えると180°ドメインを形成し易くなり、ヒステリシスの角型性が向上する。また、本実施の形態によれば、強誘電体膜が緻密になり表面モフォロジーが良く成るため、ヒステリシス特性を劣化させるプロセスマージ(例えばSiO₂からなる層間絶縁膜の形成、あるいはパッシバーション膜の形成における水素ダメージ)を抑えることが可能である。更に本実施の形態では、膜の厚さ方向には強誘電体相を連続的に形成し、膜の面方向には強誘電体相と常誘電体相とを分散させることにより、90°ドメインの発生をより抑制できる。

本発明の実施の形態は、さらに以下の態様のいずれかを有することができる。

(A) 前記強誘電体相は、PZT系強誘電体からなり、前記常誘電体相は、ABO_xまたはBO_xで表される常誘電体からなり、かつ、BサイトがGe及びSiの少なくとも1種からなることができる。

ABO_xで示される常誘電体のBサイトがGe及び/またはSiである酸化物は、融点が710°C前後と低い。そのため、かかる酸化物を含むと、強誘電体単体よりも低い温度で結晶核を生成できるため、熱処理条件を調整すると強誘電体の結晶成長の制御が可能になる。そのため、この態様によれば角型性の良いヒステリシスを有し、結晶配向度の高い強誘電体膜を得ることが可能になる。また、この態様によれば強誘電体膜全体の結晶化温度を下げることができる。プロセス温度の低下は、強誘電体の構成元素であるPb、Bi等の蒸発し易い元素の変動を抑制し、格子欠陥の発生を抑える。このようにドメインをピンニングする欠陥の発生を抑えることにより、ヒステリシスの角型性が向上する。

さらに、前記ABO_xで表される常誘電体は、AサイトがPb、Hf、Zr、

V及びWから選択される少なくとも1種からなることができる。

常誘電体 ABO_x のAサイトは、強誘電体のサイトを置換しても影響が少ないように、強誘電体の構成元素と同じ元素が好ましい。Aサイト元素としてはPb、Hf、Zr、V、Wを例示できる。これらの元素を有する常誘電体は、強誘電体の一部の元素を置換しても酸素欠損の抑制効果が有るため、材料のプロセスマージンを上げることができ、再現性が良く、安定した良いヒステリシスが得られる。

PZT系の強誘電体としては、 PbZrTiO_3 系の強誘電体（たとえば $\text{Pb}_{1-y}\text{Zr}_y\text{Ti}_{1-y}\text{O}_3$ ）、 PbLaZrTiO_3 系の強誘電体（たとえば $\text{Pb}_{1-x}\text{La}_x\text{Zr}_y\text{Ti}_{1-y}\text{O}_3$ ）を挙げることができる。

ABO_x で表され、BサイトがGe及びSiの少なくとも1種からなり、かつ、AサイトがPb、Hf、Zr、V及びWの少なくとも1種からなる常誘電体としては、 PbGeO_3 系 ($\text{Pb}_5\text{Ge}_3\text{O}_x$ 、 $\text{Pb}_2\text{Ge}_1\text{O}_x$)、 PbSiO_3 系 ($\text{Pb}_5\text{Si}_3\text{O}_x$ 、 $\text{Pb}_2\text{Si}_1\text{O}_x$)、 ZrGeO_3 、 HfGeO_3 、 VGeO_3 、 WGEO_3 、 VSiO_3 、 WSiO_3 等が挙げられる。AサイトにPb、Zr、Hf、V、Wを有する上記常誘電体を用いた場合は、強誘電体の酸素欠損の抑制効果も有る。

また、 BO_x で表され、BサイトがGe及びSiの少なくとも1種からなる常誘電体としては、 GeO_x 、 SiO_x 、 GeSiO_x 等を挙げられる。この常誘電体は、後述する（B）の場合も同様に用いることができる。

(B) 前記強誘電体相は、層状ペロブスカイト系強誘電体からなり、前記常誘電体相は、 ABO_x または BO_x で表される常誘電体からなり、かつ、BサイトがGe及びSiから選択される少なくとも1種からなることができる。

前記 ABO_x で表される常誘電体は、AサイトがBi、Hf、Zr、V及びWから選択される少なくとも1種からなることができる。これらの元素は、上記(A)の場合と同様に、強誘電体のサイトを置換しても影響が少ないように、強誘電体の構成元素と同じ元素が好ましい。特にBi層状ペロブスカイトは、化学量論組成に対して僅かに過剰Biが存在した方が特性が良いため、AサイトはBiであることが好ましい。

また、前記 ABO_x で表される常誘電体は、AサイトがCa、Sr、Ln (Lnはランタノイドの略称であり、Ln : La、Ce、Pr、Nd、Sm、Eu、

Gd、Tb、Dy、Ho、Er、Yb、Lu)、Nb、Mn及びNbから選択される少なくとも1種からなることができる。

層状ペロブスカイト系強誘電体としては、SrBiTaO系の強誘電体(たとえばSrBi₂Ta₂O₉)、BiLaTiO系の強誘電体(たとえばBi_{3.25}La_{0.75}Ti₃O₁₂)、BiTiO系の強誘電体(たとえばBi₄Ti₃O₁₂)、BiWO系の強誘電体(たとえばBi₂WO₆)、BiMoO系の強誘電体(たとえばBi₂MoO₆)などを挙げることができる。

ABO_xで表され、BサイトがGe及びSiの少なくとも1種からなり、かつ、AサイトがHf、Zr、V及びWの少なくとも1種からなる常誘電体としては、前述したものを用いることができる。ABO_xで表され、BサイトがGe及びSiの少なくとも1種からなり、かつ、AサイトがBiである常誘電体としては、BiGeO系(Bi₄Ge₃O_x、Bi₂Ge₁O_x)、BiSiO系(Bi₄Si₃O_x)を挙げることができる。

さらに、ABO_xで表され、BサイトがGe及びSiの少なくとも1種からなり、かつ、AサイトがCa、Sr、Ln(Lnの中でも、特にLa、Nd、Smが結晶の単一配向性向上の効果が顕著である。)、Nb、Mn及びNbから選択される少なくとも1種からなる常誘電体としては、CaSiO₃、SrSiO₃、NbSiO₄、MnSiO₄、PbSiO₄等を挙げることができる。この常誘電体は、前述した(A)のPZT系強誘電体と組み合わせて用いられる場合にも適用できる。

(C) 前記強誘電体相は、タンゲステンブロンズ系強誘電体からなり、前記常誘電体相は、ABO_xまたはBO_xで表される常誘電体からなり、かつ、BサイトがGe及びSiから選択される少なくとも1種からなることができる。

(D) 強誘電体は、角形性のよいヒステリシスを得るために、以下の結晶構造をとることが望ましい。

前記PZT系強誘電体は、(111)優先配向の正方晶構造をとることができます。前記PZT系強誘電体は、(100)優先配向の稜面体晶構造をとることができます。

また、前記層状ペロブスカイト系強誘電体は、(115)優先配向のSBTで

あることができる。前記層状ペロブスカイト系強誘電体は、(117) 優先配向のB I Tであることができる。

(E) 前記強誘電体膜は、強誘電体材料と、該強誘電体よりも比誘電率の小さな、シリケート及びゲルマネートの少なくとも一方からなる常誘電体材料と、を含む混合材料を用いることができる。このように強誘電体材料にこれより比誘電率の小さい常誘電体材料を混合することにより、強誘電体膜の比誘電率を小さくできヒステリシスの角型性をさらによくできる。

(F) 前記強誘電体の材料Aに対する前記常誘電体の材料Bの割合は、モル比で $0.1 \leq \text{材料B} / \text{材料A} \leq 9$ とすることができる。さらに、前記割合は、モル比で $0.1 \leq \text{材料B} / \text{材料A} \leq 1$ 、あるいは $1 < \text{材料B} / \text{材料A} \leq 9$ することで、強誘電体膜の固溶状態を制御できる。

本実施の形態にかかる強誘電体メモリ装置の製造方法は、第1の原料液と第2の原料液とを含むセラミックス原料液を結晶化する工程を含み、前記第1の原料液は、強誘電体相を生成するための原料液であり、前記第2の原料液は、常誘電体相を生成するための原料液である。

キャパシタを構成する強誘電体膜の形成は、スパッタ、MOCVD (Metalorganic Chemical vapor Deposition) でもよいが、これらの方法では結晶化前の成膜において膜に内部応力が発生するので結晶の成長制御を阻害する。また、これらの方法では結晶化のためのアニール前に緻密な膜と成るために結晶成長における元素のマイグレーションが悪く、そのため結晶化温度が高く且つ酸素が入りにくくなつて酸素欠損を生じ易い。これらの理由から、本実施の形態の製造方法では、ゾルゲルやMOD (Metal Organic Decomposition) の様に液状の原料を用いることが好ましい。

本発明の実施の形態の製造方法は、さらに以下の態様のいずれかを有することができる。

(a) 前記セラミックス原料液は、前記第1の原料液と前記第2の原料液とを、液状態で、100:400ないし100:900の比率（体積比）で混合して形成できる。この比率は、例えば、層状ペロブスカイト系強誘電体の場合に好ましい。

このように第1の原料液と第2の原料液とを混合することにより、ミクロ的に強誘電体材料と常誘電体材料とが分散されたセラミックス原料を得ることができる。第1の原料液（強誘電体材料）と第2の原料液（常誘電体材料）との比率を上記範囲とし、強誘電体材料に対して常誘電体材料を相対的に多くすることにより、膜の厚さ方向には強誘電体を連続的に形成し、膜の面方向には強誘電体相と常誘電体相を分散させることができる。常誘電体材料が強誘電体材料に比べてこの範囲より多いと分極値の低下を招く。

(b) 前記第1の原料液と前記第2の原料液とは、L S M C D (Liquid Source Misted Chemical Deposition)などを用いて、ミスト状態で塗布できる。この手法は、液状セラミックス原料をスパンコートやディッピングを用いた塗布法に比較して、強誘電体相と常誘電体相の分散を顕在化させ易い。

(c) 第1電極上に前記セラミックス原料液を塗布した後、ラピットサーマルアニールによって該セラミックス原料液を結晶化して強誘電体膜を形成し、前記強誘電体膜上に第2電極を形成し、酸素を含む加圧雰囲気下でアニールを行うことができる。

強誘電体膜に強誘電体相と常誘電体相とを混在化させるには、ラピッドサーマルアニール（以下、「R T A」という）による結晶化を行うことが望ましい。強誘電体材料と常誘電体材料とが混在した材料を用いるキャパシタの形成においては、常誘電体材料を加えることにより強誘電体の結晶成長を促進させる効果が見られる。しかし、この方法では、強誘電体結晶の生成温度より低い温度で生成する異相（パイロクロア、フローライト）の成長も促進させるため、強誘電体結晶の生成温度まで急激に温度を上げることが好ましい。F A（ファーネス）を用いた場合には、強誘電体組成のみでは異相が存在しても必ず強誘電体が生成されるが、常誘電体を加えると殆ど強誘電体は生成しない。またR T Aを用いることにより結晶の配向度向上も見られる。これは、結晶化初期過程において膜の厚さ方向に急激な温度勾配ができるためと推定される。

また、第2電極形成後に大気圧より高い圧力雰囲気下で結晶化後のアニールを行うと、強誘電体膜と電極との界面にできる酸素ベイカンシーによる欠陥部の厚さ、いわゆるスクリーニング長を少なくできるため膜厚を薄くすることができる。

このように強誘電体膜を薄くすることにより、膜の剥離の防止が図れる。

本実施の形態によれば、周辺回路を同一基板上に集積化した単純マトリクス型強誘電体メモリ装置を高い再現性及び安定性を持って実現することが可能となる。

本実施の形態の強誘電体メモリ装置は、第1電極と、前記第1電極と交差する方向に配列された第2電極と、少なくとも前記第1電極と前記第2電極との交差領域に配置された強誘電体膜と、を含み、前記第1電極、前記強誘電体膜及び前記第2電極によって構成されるキャパシタがマトリクス状に配置された強誘電体メモリ装置であって、前記強誘電体膜は、Si及びGeの少なくとも一方を含むことができる。

前記強誘電体膜は、代表的には、酸素八面体構造を有する複合酸化物であって、該酸素八面体構造中にSi及びGeの少なくとも一方、好ましくは両方を含むものがある。あるいは、本実施の形態のセラミックスは、酸素八面体構造を有する複合酸化物に、Si及びGeの少なくとも一方、好ましくは両方を含む常誘電体が固溶されたものともいえる。このような酸素八面体構造に含まれるSi及びGeは、それぞれ6配位となる。本実施の形態の強誘電体膜は、極めてすぐれたヒステリシス特性、例えば良好な角型性を有し、また、強誘電体膜の結晶化温度を通常よりかなり低くすることができる。

本実施の形態のセラミックスは、前記複合酸化物の酸素八面体構造中に位置する金属陽イオン(Bサイトイオン)をSiイオン及びGeイオンの少なくとも一方で置換したものである。例えば、本発明による $(\text{Bi}, \text{La})_4(\text{Ti}, \text{Si}, \text{Ge})_3\text{O}_{12}$ 強誘電体は、Bサイトイオンを Si^{4+} 及び Ge^{4+} で、それぞれ置換したものである。このような $(\text{Bi}, \text{La})_4(\text{Ti}, \text{Si}, \text{Ge})_3\text{O}_{12}$ は、 $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ から容易に類推できる類のものではない。なぜならば Si^{4+} 及び Ge^{4+} は共有結合性が強く、金属元素ではないこと、ペロブスカイトを構成する元素の置換には通常イオン半径の非常に近いものを用いるが、 Ti^{4+} の 0.6\AA に対し Si^{4+} は 0.26\AA と非常に小さいことから、 Si^{4+} 及び Ge^{4+} をBサイトイオンの置換候補とは、本来考え難いからである。したがって、本実施の形態の強誘電体は、これまで強誘電体材料とは全く異なるものである。

また、SiとGeの両者が含まれる強誘電体は、以下のような利点がある。すな

わち、Si と Ge によってそれぞれ酸素八面体の B サイトの一部を置き換えることで、本発明のセラミックスは格段に作り易さが向上する。すなわち、イオン半径が Si に比べて大きく、かつ B サイトの格子間隔に近いイオン半径を有する Ge は、Si に比べて格段に酸素八面体の B サイトに対する置換能が高いためである。これは、Ge が酸素八面体の B サイトに入ると、それに応じて酸素八面体の格子全体が縮むか、あるいは歪むために、Si も B サイトでの置換がしやすいことによる。このように、Si と Ge を同時に用いることにより、Ge だけの場合に比べて酸素八面体中への共有結合性の導入をより充分に行うことができ、常誘電体の触媒機能をさらに高めることができる。

この強誘電体メモリ装置においては、さらに以下の態様のいずれかを有することができる。

(A) 前記強誘電体膜は、強誘電体材料と、該強誘電体よりも比誘電率の小さな、シリケート及びゲルマネートの少なくとも一方からなる常誘電体材料と、を含む混合材料を用いることができる。この態様の利点は既に述べたので記載しない。

(B) 前記常誘電体材料は、 CaSiO_3 、 BaSiO_3 、 PbSiO_3 、 ZnSiO_3 、 MgSiO_3 、 B_2SiO_5 、 Al_2SiO_5 、 Y_2SiO_5 、 La_2SiO_5 、 Cr_2SiO_5 、 Bi_2SiO_5 、 Ga_2SiO_5 、 ZrSiO_4 、 TiSiO_4 、 HfSiO_4 、 NbSiO_4 、 MoSiO_5 、 WSiO_5 、 V_2SiO_7 からなる群から選択される 1 種以上の酸素四面体構造を有する層状化合物、及び

CaGeO_3 、 BaGeO_3 、 PbGeO_3 、 ZnGeO_3 、 MgGeO_3 、 B_2GeO_5 、 Al_2GeO_5 、 Y_2GeO_5 、 La_2GeO_5 、 Cr_2GeO_5 、 Bi_2GeO_5 、 Ga_2GeO_5 、 ZrGeO_4 、 TiGeO_4 、 HfGeO_4 、 NbGeO_4 、 MoGeO_5 、 WGeO_5 、 V_2GeO_7 からなる群から選択される 1 種以上の酸素四面体構造を有する層状化合物の少なくとも 1 種を含むことができる。

(C) 前記強誘電体材料に対する前記常誘電体材料の割合は、モル比で $0.1 \leqq \text{常誘電体材料}/\text{強誘電体材料} \leqq 9$ とすることができる。前記割合をこの範囲とすることで、例えば層状ペロブスカイト系強誘電体のヒステリシス特性、インプリント及びリテンション特性、耐水素性などを高めることができる。また、前記割合を選択することで、強誘電体膜の状態、例えば固溶状態や層構造を制御できる。

例えば、前記割合を、モル比で $0.1 \leq \text{常誘電体材料} / \text{強誘電体材料} \leq 1$ とすると、強誘電体と常誘電体とが固溶体を形成する。また、例えば、前記割合を、モル比で $1 < \text{常誘電体材料} / \text{強誘電体材料} \leq 9$ とすると、強誘電体と常誘電体との固溶体と、柱状の常誘電体相とが共存する状態の強誘電体膜を得ることができる。

次に、本実施の形態をさらに詳細に説明する。

1. 強誘電体メモリ装置のキャパシタ

図1は、本実施の形態の強誘電体メモリ装置における、強誘電体キャパシタを示した図である。図1において、101は強誘電体相と常誘電体相とが混在する強誘電体膜（以下、これを「混相薄膜」ともいう）、102は第1電極、103は第2電極である。混相薄膜101は、例えば、P Z TあるいはS B Tよりなる強誘電体相と、 ABO_x 系酸化物あるいは BO_x 系酸化物よりなる常誘電体相から構成される。第1電極102及び第2電極103は、Pt、Ir、Ru等の貴金属単体または前記貴金属を主体とした複合材料よりなる。第1電極に強誘電体の元素が拡散すると電極と強誘電体膜との界面部に組成ずれを起こしヒステリシスの角型性が低下するため、第1電極には強誘電体の元素が拡散しない緻密性が要求される。第1電極の緻密性を上げるために、質量の重いガスでスパッタ成膜する方法、Y、La等の酸化物を貴金属電極中に分散させる等の方法がとられる。なお、図1においては、基板やその他の強誘電体メモリ装置の構成要素（MOSトランジスタ等）を省略している。これらの構成要素については後述する。

次に、混相薄膜101の成膜方法の一例を述べる。

第1の原料液は、強誘電体相の構成金属元素の、金属化合物または金属無機化合物を溶媒に溶解した溶液である。第2の原料液は、 ABO_x 系酸化物または BO_x 系酸化物の構成金属元素の、金属化合物または金属無機化合物を溶媒に溶解した溶液である。これらの第1の原料液と第2の原料液を混合してセラミックス原料液を形成する。第1の原料液と第2の原料液との混合体積比は、100:400~100:900である。

これらの混合液を図5に示したフローチャートに従い成膜する。具体的には、前処理加熱工程、溶液塗布工程、乾燥熱処理工程、脱脂熱処理工程および仮焼結工程の一連の工程を所望の回数行い、最後に焼成して強誘電体膜を形成する。条

件の例を下記に示す。前処理加熱工程は150℃～180℃で行う。混合液の塗布は、スピンドルコートなどの塗布法で行う。乾燥熱処理は、窒素雰囲気下、150℃～180℃で行う。仮焼結（脱脂熱処理工程）はRTAを用い、酸素雰囲気下、250℃～280℃で行う。焼結（結晶化）はRTAを用い、酸素雰囲気下、425～650℃で行う。なお、常誘電体を混在させない一般的な手法の結晶化温度は700℃～800℃と、本実施の形態に比べて高い。また焼結後の膜厚は15～200nmである。次に、第2電極をスパッタにより形成した後に、好ましくは加圧下雰囲気（例えばアルゴンと、2～9.9気圧の酸素の混合ガス）でアニールを行い、強誘電体キャパシタを得る。

図2は、本実施の形態で用いられる強誘電体キャパシタのP（分極）－V（電圧）ヒステリシス曲線を模式的に示した図である。この強誘電体キャパシタにおいては、電圧+Vs印加時に分極量P(+Vs)を有し、その後電圧0とした時分極量Prとなり、更に電圧-1/3Vsとした時分極量P(-1/3Vs)となり、電圧-Vsとした時分極量P(-Vs)となり、再び電圧0とした時分極量-Prとなり、更に電圧+1/3Vsとした時分極量P(+1/3Vs)となり、再び電圧+Vsとした時分極量は再びP(+Vs)に戻るようなヒステリシス曲線を描く。

ここで、本願発明者は、本実施の形態で用いられる強誘電体キャパシタにおいて、以下のことを見いだした。すなわち、一旦電圧Vsを印加して分極量P(+Vs)にした後、-1/3Vsの電圧を印加し、さらに印加電圧を0とした時、ヒステリシスループは図2中矢印に示す軌跡をたどり、分極量は安定な値P0(0)を持つ。また、一旦電圧-Vsを印加して分極量P(-Vs)にした後、+1/3Vsの電圧を印加し、さらに印加電圧を0とした時、ヒステリシスループは図2中矢印に示す軌跡をたどり、分極量は安定な値P0(1)を持つ。

この分極量P0(0)と分極量P0(1)の差が充分にとれていれば、前記特開平9-116107号公報等に開示されている駆動法により単純マトリクス型強誘電体メモリ装置を動作させることが可能である。

上記強誘電体キャパシタによれば、結晶化温度の低温化、ヒステリシスの角型性の向上、Prの向上が図れる。かかる強誘電体キャパシタを有する単純マトリ

クス型の強誘電体メモリ装置は駆動が可能である。また強誘電体キャパシタのヒステリシスにおける角型性の向上は、単純マトリクス型の強誘電体メモリ装置の駆動にとって重要なディスターブの安定性に顕著な効果がある。単純マトリクス型強誘電体メモリ装置においては、書き込み、読み出しを行わないセルにも土 $1/3\text{ V s}$ の電圧がかかるため、この電圧で分極が変化しないこと、いわゆるディスターブ特性が安定である必要がある。本願発明者は、一般的なS B Tでは分極の安定した状態から分極を反転させる方向に $1/3\text{ V s}$ パルスを 10^{10} 回与えると分極量は30～50%の低下が見られるが、本発明によると10%以下の低下量であることを確認した。

次に、原料をミスト化して成膜する所謂LSMCD法による成膜について述べる。図6はそのための装置200を模式的に示した断面図である。

第1の原料210は、噴霧器230によりメッシュ240に送られる。メッッシュ240を通過した第1原料は、ミスト250となり、基体10の上に供給される。また第2の原料220も、噴霧器232、メッッシュ240を通りミスト250となり基体10に供給される。第1の原料、第2の原料を同時に供給した時の堆積状態を模式的に図7（平面図）に示す。堆積された原料の膜は、原料210からのミスト210aと、原料220からのミスト220aとから成る。以後の熱処理は、前述した条件と同じにすることができる。LSMCD法は強誘電体原料と常誘電体原料を膜の面方向に分散させた状態を容易に作ることができる。

図8は、結晶化後の強誘電体相と常誘電体相とが含まれる混相薄膜を模式的に示した断面図である。図8では、膜の厚さ方向には強誘電体相42が継続的に形成され、面方向に強誘電体相42が常誘電体相52により遮断され分散されている状態の膜を模式的に示している。この方法によっても良好なヒステリシス特性を有する強誘電体キャパシタが得られる。スピンドルコート法では面方向に強誘電体相と常誘電体相を明瞭に分散させるには常誘電体材料の割合を多くする必要がある。この手法による90°ドメイン発生の抑制効果は、強誘電体相に圧縮応力を加えるメカニズムではなく、強誘電体相を面方向に常誘電体により遮断し分散させたことによるものが支配的であると考えられる。

2. 強誘電体メモリ装置

図3A、Bは、本実施の形態における、単純マトリクス型の強誘電体メモリ装置の構成を示した図である。図3Aはその平面図、図3Bは図3AのA-A線に沿った断面図である。図3Aにおいて、符号301乃至303は基板308上に所定の数配列されたワード線であり、符号304乃至306は所定の数配列されたビット線である。ワード線301乃至306とビット線304乃至306との間に、強誘電体相と常誘電体相とが混在する強誘電体膜307が挿入され、ワード線とビット線の交差領域に強誘電体キャパシタが形成される。

この単純マトリクスにより構成されるメモリセルを配列した強誘電体メモリ装置において、ワード線とビット線の交差領域に形成される強誘電体キャパシタへの書き込みと読み出しは、図示しない周辺の駆動回路や読み出し用の増幅回路等（これらを「周辺回路」と称す）により行う。この周辺回路は、メモリセルアレイと別の基板上にMOSトランジスタにより形成して、ワード線及びビット線に接続するようにしてもよいし、あるいは基板308に単結晶シリコン基板を用いることにより、周辺回路をメモリセルアレイと同一基板上に集積化することも可能である。

図4は、本実施の形態における、メモリセルアレイが周辺回路と共に同一基板上に集積化されている強誘電体メモリ装置の一例を示す断面図である。同図において、単結晶シリコン基板401上にMOSトランジスタ402が形成され、このトランジスタ形成領域が周辺回路部となる。MOSトランジスタ402は、単結晶シリコン基板401、ソース・ドレイン領域405、ゲート絶縁膜403、ゲート電極404により構成される。406は素子分離用酸化膜、407は第1の層間絶縁膜、408は第1の配線層である。409は第2の層間絶縁膜、410は強誘電体キャパシタの下部電極（第1電極または第2電極）であり、これがワード線またはビット線となる。411は強誘電体膜であり、412は強誘電体膜の上に形成された上部電極（第2電極または第1電極）であり、これがビット線またはワード線となる。

下部電極410と、強誘電体相と常誘電体相とを含む強誘電体膜411と、上部電極412とにより、メモリセルアレイが構成される。413は第3の層間絶縁膜であり、414は第2の配線層である。第2の配線層414により、メモリ

セルアレイと周辺回路部が接続される。415は保護膜である。以上の構成の強誘電体メモリ装置では、メモリセルアレイと周辺回路部は同一基板上に集積することができる。なお、図4の場合、周辺回路部上にメモリセルアレイが形成されている構成であるが、もちろん、周辺回路部上にメモリセルアレイが配置されず、メモリセルアレイは周辺回路部と平面的に接しているような構成としてもよい。

本実施の形態で用いられる強誘電体キャパシタは、ヒステリシスの角形性が非常に良く、安定なディスクターブ特性を有する。さらに、この強誘電体キャパシタは、プロセス温度の低温化により周辺回路等や他の素子へのダメージが少なく、またプロセスダメージ（特に水素の還元）が少ないので、ダメージによるヒステリシスの劣化を抑えることができる。したがって、かかる強誘電体キャパシタを用いることで、単純マトリクス型強誘電体メモリ装置の駆動が可能になる。

3. 実施例

以下、実施例によって本発明をさらに具体的に説明する。

（実施例1）

本実施例では、強誘電体材料としてS B Tを用いた。強誘電体を生成するための第1の原料液は次の様にして得た。2-エチルヘキサン酸ビスマスの濃度が0.1m o l / l のトルエン溶液1100ml、2-エチルヘキサン酸ストロンチウムの濃度0.1m o l / l のトルエン溶液400ml、タンタルエトキシドの濃度0.1m o l / l のトルエン溶液1000ml、2-エチルヘキサン100gを混合し混合液を調製した。この混合液を、窒素雰囲気下、120°Cで1時間加熱還流し、溶媒を常圧留去した。これにSr_{0.8}Bi_{2.2}Ta₂O₉(S B T)としての酸化物濃度が0.1m o l / l になるようにトルエンを加え第1の原料液を得た。

一方、常誘電体を生成するための第2の原料液は次の様にして得た。2-エチルヘキサン酸ビスマスの0.1m o l / l のトルエン溶液1500ml、シリコンエトキシドの0.1m o l / l のトルエン溶液750ml、及び2-エチルヘキサン100gを混合し混合液を調製した。この混合液を、窒素雰囲気下、120°Cで1時間加熱還流し、溶媒を常圧留去した。これに、Bi₂Si₁O₅としての酸化物濃度が0.1m o l / l になるようにトルエンを加え、第2の原料液を

得た。

得られた第1の原料液と第2の原料液を混合して、混合体積比の違う5種類の混合液を得た。混合液の比率は、100:50、100:40、100:30、100:20及び100:90である。

これらの混合液を図5に示したフローチャートに従いそれぞれ成膜した。前処理加熱工程、溶液塗布工程、乾燥熱処理工程および仮焼結工程の一連の工程を2回行い、最後に焼成してキャパシタを形成した。具体的な条件を以下に示す。前処理加熱工程は180°Cで30秒行った。混合液の塗布は、白金電極上にスピンドル（3000 rpm）で、30秒間行った。乾燥熱処理は、窒素雰囲気下、160°Cで1分間行った。仮焼結はRTAを用い、酸素雰囲気下、250~280°Cで30秒行った。焼結はRTAを用い、酸素雰囲気下、600~700°Cで60分行った。焼結後の強誘電体膜の膜厚は50 nmであった。次に、白金電極をスパッタにより形成した後に、3気圧の酸素とArとの混合ガス雰囲気中でアニールを行い、5種類の強誘電体キャパシタを得た。これらの各強誘電体キャパシタのヒステリシスは、いずれも良好であった。

（実施例2）

本実施例では、Bi系強誘電体材料のBi₄Ti₃O₁₂(BIT)と常誘電体とが混在した材料であるBi₄W_{0.1}V_{0.2}Si_{0.1}Ge_{0.1}Ti_{2.5}O₁₂(BWVSGT1)と、Bi₄W_{0.2}V_{0.4}Si_{0.2}Ge_{0.2}Ti₂O₁₂(BWVSGT2)とを用いて、白金電極上にスピンドル法で成膜を行った。

本実施例によるゾルゲル溶液合成手順を示す。Bi₄(W,V,Si,Ge,Ti)₃O₁₂強誘電体形成用ゾルゲル溶液は、Bi₄Ti₃O₁₂(BIT)形成用ゾルゲル溶液と、WSiO₅(WSO)及びV₂GeO₇(VGO)形成用ゾルゲル溶液を混合して作製した。WSO及びVGOは層状触媒酸化物として公知の材料である。

BITゾルゲル溶液1molに対し、WSO及びVGOをそれぞれ0.1mol添加したものがBWVSGT1形成用ゾルゲル溶液であり、BITゾルゲル溶液1molに対し、WSO及びVGOをそれぞれ0.2mol添加したものがBWVSGT2形成用ゾルゲル溶液である。

基板にはPt被覆Si基板を用い、上記手順で作製した本発明による強誘電体

形成用ゾルゲル溶液を用いて以下の成膜条件により、それぞれ膜厚 100nm の薄膜を作製した。結晶化は 550°C で、それぞれ 1atm 酸素中で 20 分間行った。

強誘電体膜形成条件；

- (a) スピンコート (500rpm 5sec → 4000rpm 20sec)
- (b) 乾燥 (150°C 2min in air)
- (c) 仮焼成 (400°C 5min in air)
- (d) 焼成 (結晶化) (550°C 20min, RTA in O₂ at 1atm)

(a), (b), (c) の工程を順次 4 回繰り返した後、工程 (d) を行った。このようにして得られた各強誘電体膜の XRD パターンは図 10 に示すようになった。図中に示したように、BWVSGT1 及び BWVSGT2 のどちらも (117) 単一配向膜であることが分かる。

次に Pt 上部電極を形成し、強誘電体キャパシタをそれぞれ作製し、強誘電特性の評価を行った。

D-E ヒステリシス特性を評価したところ、図 11 に示したように、BWVSGT1、BWVSGT2 共に本発明の強誘電体メモリ装置に最適の良好な角型性を示した。分極値はそれぞれ、BWVSGT1 が $Pr=18 \mu C/cm^2$ 、BWVSGT2 が $Pr=10 \mu C/cm^2$ の値を有していた。

なお、BIT の B サイト Ti を 1 以上置換した場合、極端に Pr が小さくなり、本発明の強誘電体メモリ装置には適用が難しいことが分かった。

(実施例 3)

本実施例は Pb 系の強誘電体材料に関する。

本実施例では、 $Pb_{1.1}Zr_{0.1}Ti_{0.8}Si_{0.1}O_3$ (PZTS1) と、 $Pb_{1.1}Zr_{0.7}Ti_{0.2}Si_{0.1}O_3$ (PZTS2) とを用いて、白金電極上にスピンコート法で成膜を行った。本実施例によるゾルゲル溶液合成手順を示す。強誘電体材料は $PbZrTiO_3$ (PZT) 強誘電体形成用ゾルゲル溶液と $PbSiO_3$ (PSO) 形成用ゾルゲル溶液を混合して作製した。

まず初めに、Pb の過剰添加量が 0,5,10,20% である PZT ゾルゲル溶液 1mol に対し、PSO を 0.01mol 添加したものを用いて薄膜形成を行った。基板には Pt 被覆 Si 基板を用い、上記手順で作製した強誘電体形成用ゾルゲル溶液を用いて以下の成膜条件により、それぞれ膜厚 100nm の薄膜を作製した。結晶化は 425°C

で、それぞれ 1atm 酸素中で 10 分間行った。

強誘電体膜形成条件；

- (a) スピンコート (500rpm 5sec → 4000rpm 20sec)
- (b) 乾燥 (150°C 2min in air)
- (c) 仮焼成 (250°C 5min in air)
- (d) 焼成 (結晶化) (425°C 10min, RTA in O₂ at 1atm)

(a), (b), (c) 工程を順次 4 回繰り返した後、工程 (d) を行った。このようにして得られたキャパシタは、図 1 2 のような XRD パターンが得られた。Pb の過剰添加量が 5% のとき、最大の結晶性を示した。従来から、Pb は蒸気圧が高く揮発しやすいため、それを補うために 20% 程度の過剰 Pb 成分が溶液中に予め添加されているのが普通であるが、PSO を 0.01mol 添加したものを用いた本実施例の場合、PZT ゾルゲル溶液の Pb 過剰添加量が 5% 程度で十分であることが示された。このことは、本実施例で添加した PZO が、何らかの働きで、PZT ゾルゲル溶液中の過剰 Pb 成分の揮発を防止していると共に、PSO 中の Pb は、単なる過剰 Pb 成分として働いているのではないことを示している。

(実施例 4)

実施例 3 の結果から 5% 過剰 Pb 成分を添加した PZT ゾルゲル溶液 1mol に対し、PSO を 0.1mol 添加したものを PZTS 形成用ゾルゲル溶液として用い、PZTS 薄膜形成を試みた。実際には、前述の PZTS1 及び PZTS2 薄膜の形成を行った。

PZT は反強誘電体 PbZrO₃ と強誘電体 PbTiO₃ の固溶体であり、それぞれがほぼ 1:1 で混合された PbZr_{0.52}Ti_{0.48}O₃ を境界にして、結晶系が異なることが知られている。Ti を多く含む場合、正方晶構造を取り、Zr を多く含む場合、稜面体晶を取ることが知られている。そこで本実施例では、正方晶構造を取る PZTS1 と、稜面体晶を取る PZTS2 の両方の薄膜形成を試みた。

基板には Pt 被覆 Si 基板を用い、前述の薄膜形成条件を用いて、それぞれ膜厚 100nm の薄膜を作製した。結晶化は 425°C、1atm 酸素中で 10 分間行った。ただし、PZTS2 薄膜形成に際して、各仮焼成工程の後に、波長 254nm の UV ランプを用いて紫外線を各 10 分間照射した。

このようにして得られた PZTS1 及び PZTS2 強誘電体膜の XRD パターンは図 13 に示すようになった。図中に示したように、PZTS1 は (111) 単一配向膜であり、PZTS2 (100) 単一配向膜であった。このことから、紫外線を照射することにより (100) 単一配向の P Z T 膜が得られることが確認された。

次に Pt 上部電極を形成した後、9.9atm の O₂ 雰囲気中で 30 分間の加圧アニールを行い、強誘電体キャパシタをそれぞれ作製し、強誘電特性の評価を行った。

D-E ヒステリシス特性を評価したところ、図 14 に示したように、PZTS1、PZTS2 共に本発明の強誘電体メモリ装置に最適の良好な角型性を示した。分極値はそれぞれ、PZTS1 が Pr=45 μ C/cm²、PZTS2 が Pr=30 μ C/cm² の値を有していた。

両者の膜疲労特性を評価したところ、図 15 に示したように、どちらも良好な疲労特性を示した。従来、Pt 電極に挟まれた PZT 薄膜は、疲労特性が劣ることが知られているが、本発明の PSO を添加した PZT 薄膜は、膜疲労が見られず、電極材料として加工が困難な Ir あるいは IrO₂ のような、酸化物電極を選択する必要がなく、この点からも本発明の有効性が証明されている。

(実施例 5)

本実施例は、Pb 系の強誘電体に関する。La₂SiO₅(LSO)、PbGeO₃(PSO)、NbSiO₄(NSO)、CaGeO₃(CSO)及び SrSiO₃(SSO)形成用ゾルゲル溶液を全て 1:1 のモル比で混合したものを、正方晶組成の PZT (Zr/Ti=2/8) 形成用ゾルゲル溶液に 4 モル % 添加した混合ゾルゲル溶液を用いて、(Pb,La,Nb,Ca,Sr)(Zr,Ti,Si,Ge)O₃(PLNCSZTSG)薄膜を形成した。上記手順で作製した強誘電体形成用ゾルゲル溶液を用いて以下の成膜条件により、膜厚 100nm の薄膜を作製した。結晶化は 425°C で、それぞれ 1atm 酸素中で 10 分間行った。

強誘電体膜形成条件；

- (a) スピンコート (500rpm 5sec → 4000rpm 20sec)
- (b) 乾燥 (150°C 2min in air)
- (c) 仮焼成 (250°C 5min in air)

(d) 焼成（結晶化）(500°C 10min、RTA in O₂ at 1atm)

(a), (b), (c) の工程を順次4回繰り返した後、工程(d)を行う。次にPt上部電極を形成した後、1atmの酸素雰囲気中で500°C、10分間のアニールを行い、強誘電体キャパシタを作製し、強誘電特性の評価を行った。

D-E ヒステリシス特性を評価したところ、図16に示したように、本発明の強誘電体メモリ装置に最適の良好な角型性を示した。分極値は、Pr=45 μC/cm²の値を有していた。

両者のインプリント特性及びデータ保持特性を図17の条件下で評価した。具体的には、インプリント、リテンション共に±2V、66Hzの三角波を一周期(+2V→-2V)だけ印加し、1回だけ分極反転を行った後(すなわち-2Vでデータを書き込んだ状態)、インプリント評価の場合、-2V、50kHzの矩形波を任意時間印加する。リテンション評価の場合、例えばホットプレート上で150°C、任意時間の保持を行う。この後、それぞれ書き込みと同一条件で読み出しを行う。

その結果、図18に示したように、良好なインプリント特性及びリテンション特性を示した。図18において、実線はテスト前の特性を示し、破線はテスト後の特性を示す。図18から、テスト前後のヒステリシスはほとんど変化していないことが確認された。

PZT中に添加したLa₂SiO₅(LSO)、PbSiO₃(PSO)、NbSiO₄(NSO)、CaGeO₃(CSO)及びSrSiO₃(SSO)形成用ゾルゲル溶液の内、SSOは触媒物質としては存在しないものであるが、それ以外のLSO、PSO、NSO及びCSOは触媒物質の作用でPZT中に容易に添加され、良好な強誘電特性が得られたと考えられた。

また、PSOには過剰Pb量を減少させる働きがあることは前述の通りだが、Aサイト置換元素として用いたLaはPZTの疲労特性を改善し、NbはSBT等の角型性を改善し、Ca及びSrは、インプリント特性を改善することが知られており、通常はPZTへ数%添加して用いられる。またBサイト置換元素としては、Si及びGeを用いており、両者はPZT構成元素の共有結合性を高め、耐還元性を向上させる。

ところで、常誘電体を添加剤として用いることは、一般的に、常誘電体の添加分だけ PZT が化学量論組成からずれることを意味しており、このことは諸特性が改善されても、PZT が持つ、優れた強誘電特性を全て引き出すことは困難である。本実施例では、混合した全ての溶液を化学量論組成で用いることにより、この点を解決でき、上述のようなきわめて良好な特性が得られた。

また Si と Ge を同時に用いることで、加圧することなしに、良好な特性が得られた。更に得られた強誘電体キャパシタを 9.9atm の O₂ 雰囲気中で 30 分間の加圧アニールを行ったところ、図 1 9 に示したように大幅なリーク電流の低減が確認された。

(実施例 6)

本実施例では、Bi 系層状ペロブスカイト強誘電体薄膜材料 Bi₄Ti₃O₁₂(BIT) 1 モルに対して、Bi₂SiO₅(BSO)を R (BIT に対する BSO のモル) を 0.1 から 9 まで変化させた際の特性変化について検討を行った。膜厚は 100nm 一定として、結晶化温度を 600°C とし、9.9 気圧酸素中で 500°C 加圧アニールを 3 時間施した後、D-E ヒステリシス特性を評価した。尚、薄膜形成は以下の手順で行った。

強誘電体薄膜形成条件；

- (a) スピンコート (500rpm 5sec → 4000rpm 20sec)
- (b) 乾燥 (150°C 2min in air)
- (c) 仮焼成 (400°C 5min in air)
- (d) 焼成 (結晶化) (600°C 20min, RTA in O₂ at 1atm)
- (e) ポストアニール(500°C 180min, High Pressure Anneal in O₂ at 9.9atm)

(a), (b), (c) の工程を順次 4 回繰り返した後、工程 (d), (e) を行った。このようにして得られたキャパシタは、0.1≤R≤1 の範囲では、XRD パターン上には、BSO のピークは観察されず、かつ得られた強誘電体は強い (1 1 1) 配向性を示した。また D-E ヒステリシス特性評価においては R=0.1 から 1 までは、図 2 0 に示すように、R の値が増加するに従ってヒステリシス形状が改善した。それと同時に、表面モフォロジーの大幅な改善が見られた。図 2 1 に R=0 及び R=0.1 場合の表面写真を示した。R=0.1 の場合には、薄膜表面の粒径

が大幅に減少した。このように本実施例では、強誘電体の初期核発生密度が大幅に高くなつたことが示された。加えて、結晶化温度の低減と、インプリント及びリテンション特性の改善及び耐水素性が改善された。

一方、 $1 < R \leq 9$ の範囲では、XRD パターン上には、BIT と BSO のピークが同時に観察され、また、BSO の XRD ピーク強度は R の増加と共に増大した。また、図 22 に示すように、D-E ヒステリシス特性評価においては、R が 1 を越えると残留分極 Pr の値が減少し、R の増加と共に減少した。しかしながら、ヒステリシス形状は角型性が良好なまま Pr のみ減少した。

ここで、ヒステリシス曲線の詳細について図 23 を用いて説明する。図 23 に示したように、強誘電体のヒステリシス曲線は、分極による点線部分と電界に対する傾き（比誘電率）を示す実線部分から成り立っている。ヒステリシス曲線が良好な角型を有するためには、分極反転が瞬時に起こり、かつ比誘電率が小さいことが重要であることが分かる。また、発明者らは、これを達成するために、比誘電率が異なる材料を混合する方法が、比誘電率を小さくするのに寄与すること、及び、大きな比誘電率を有する強誘電体中に比誘電率が 30 と小さなシリケート材料及びゲルマネート材料を混合することが特に有効であることを発見した。これにより、従来 650°C 程度であった結晶化温度を 600°C 程度まで低温化することができ、またインプリント及びリテンション特性の改善及び耐水素性が改善された。

すなわち、 $0.1 \leq R \leq 1$ の範囲では、BSO と BIT が固溶体を形成する。つまり BSO 中の Si が、BIT 中の酸素八面体の B サイト置換に作用する。しかしながら、R が 1 を越えると、膜中には BSO が BIT よりも過剰となり、過剰となつた BSO は BSO-BIT 固溶体と共に存する。この際に、得られたヒステリシスは角型良好のままであるため、両者は、上下電極に挟まれた柱状構造で存在しており、R が大きくなると、BSO-BIT 柱密度に対して BSO 柱密度が大きくなるために、Pr が減少する効果があった。

このことは、図 24 の断面 TEM 写真からも明らかである。R=1 の時、BSO-BIT 柱の平均径は 10 nm であった。R=9 を越えると D-E ヒステリシスは確認できなかつた。すなわち、この時には、本発明の柱状構造が成立しなくなつたもの

と考えられる。

さらに、上記 $R=1$ の場合の BLST キャパシタに対して、耐還元性について検討を行った。すなわち、3%水素を含む窒素中で 400°C、30 分間のアニールを施したところ、図 25 に示すようにほとんど変化は見られなかった。本来、強誘電体結晶はイオン結合性が強いため、水素イオンに簡単に還元されてしまうことが知られている。しかしながら、Si、Ge といった共有結合性に富む元素が、強誘電体結晶中に入り込むことで、耐還元性が著しく向上した。

以上のように、本発明による強誘電体薄膜は、低温結晶性シリケート或いはゲルマネートの触媒効果により結晶化温度が低減する効果が見られた。また、この効果は Si (シリケート) だけでも効果大であるが、イオン半径の大きな、つまり強誘電体の酸素八面体の B サイトを置換しやすい、Ge と同時に使うことはさらに有効である。

請 求 の 範 囲

1. 第1電極と、前記第1電極と交差する方向に配列された第2電極と、少なくとも前記第1電極と前記第2電極との交差領域に配置された強誘電体膜と、を含み、前記第1電極、前記強誘電体膜及び前記第2電極によって構成されるキャパシタがマトリクス状に配置された強誘電体メモリ装置であって、

前記強誘電体膜は、強誘電体相と常誘電体相とが混在してなる、強誘電体メモリ装置。

2. 請求項1において、

前記強誘電体相は、P Z T系強誘電体からなり、

前記常誘電体相は、 $A BO_x$ または BO_x で表される常誘電体からなり、かつ、BサイトがGe及びSiの少なくとも1種からなる、強誘電体メモリ装置。

3. 請求項2において、

前記 ABO_x で表される常誘電体は、AサイトがPb、Hf、Zr、V及びWから選択される少なくとも1種からなる、強誘電体メモリ装置。

4. 請求項1において、

前記強誘電体相は、層状ペロブスカイト系強誘電体からなり、

前記常誘電体相は、 ABO_x または BO_x で表される常誘電体からなり、かつ、BサイトがGe及びSiから選択される少なくとも1種からなる、強誘電体メモリ装置。

5. 請求項4において、

前記 ABO_x で表される常誘電体は、AサイトがBi、Hf、Zr、V及びWから選択される少なくとも1種からなる、強誘電体メモリ装置。

6. 請求項2または4において、

前記 ABO_x で表される常誘電体は、AサイトがCa、Sr、Ln (Lnはランタノイドの略称であり、Ln : La、Ce、Pr、Nd、Sm、Eu、Gd、Tb、Dy、Ho、Er、Yb、Lu)、Nb、Mn及びPbから選択される少なくとも1種からなる、強誘電体メモリ装置。

7. 請求項2または3において、

前記 P Z T 系強誘電体は、(111) 優先配向の正方晶構造である、強誘電体メモリ装置。

8. 請求項 2 または 3 において、

前記 P Z T 系強誘電体は、(100) 優先配向の稜面体晶構造である、強誘電体メモリ装置。

9. 請求項 4 ないし 6 のいずれかにおいて、

前記層状ペロブスカイト系強誘電体は、(115) 優先配向の S B T である、強誘電体メモリ装置。

10. 請求項 4 ないし 6 のいずれかにおいて、

前記層状ペロブスカイト系強誘電体は、(117) 優先配向の B I T である、強誘電体メモリ装置。

11. 請求項 2 または 4 において、

前記常誘電体の材料は、前記強誘電体よりも比誘電率の小さな、シリケート及びゲルマネートの少なくとも一方を含む、強誘電体メモリ装置。

12. 請求項 2 または 4 において、

前記強誘電体の材料 A に対する前記常誘電体の材料 B の割合は、モル比で $0.1 \leq \text{材料 B} / \text{材料 A} \leq 9$ である、強誘電体メモリ装置。

13. 請求項 1 2 において、

前記強誘電体の材料 A に対する前記常誘電体の材料 B の割合は、モル比で $0.1 \leq \text{材料 B} / \text{材料 A} \leq 1$ である、強誘電体メモリ装置。

14. 請求項 1 2 において、

前記強誘電体の材料 A に対する前記常誘電体の材料 B の割合は、モル比で $1 < \text{材料 B} / \text{材料 A} \leq 9$ である、強誘電体メモリ装置。

15. 請求項 1 において、

前記強誘電体相は、タングステンブロンズ系強誘電体からなり、

前記常誘電体相は、 ABO_x または BO_x で表される常誘電体からなり、かつ、B サイトが Ge 及び Si の少なくとも 1 種からなる、強誘電体メモリ装置。

16. 第 1 の原料液と第 2 の原料液とを含むセラミックス原料液を結晶化する工程を含み、前記第 1 の原料液は、強誘電体相を生成するための原料液であり、前

記第2の原料液は、常誘電体相を生成するための原料液である、請求項1ないし15に記載の強誘電体メモリ装置の製造方法。

17. 請求項16において、

前記第1の原料液は、PZT系強誘電体を生成するための原料液であり、

前記第2の原料液は、BサイトがGe及びSiの少なくとも1種からなる、ABO_xまたはBO_xで表される常誘電体を生成するための原料液である、強誘電体メモリ装置の製造方法。

18. 請求項16において、

前記第1の原料液は、層状ペロブスカイト系強誘電体を生成するための原料液であり、

前記第2の原料液は、BサイトがGe及びSiの少なくとも1種からなる、ABO_xまたはBO_xで表される常誘電体を生成するための原料液である、強誘電体メモリ装置の製造方法。

19. 請求項16ないし18のいずれかにおいて、

前記セラミックス原料液は、前記第1の原料液と前記第2の原料液とを、液状態で、100:400ないし100:900の比率で混合して形成される、強誘電体メモリ装置の製造方法。

20. 請求項16ないし18のいずれかにおいて、

前記第1の原料液と前記第2の原料液とは、ミスト状態で塗布される、強誘電体メモリ装置の製造方法。

21. 請求項16ないし18のいずれかにおいて、

第1電極上に前記セラミックス原料液を塗布した後、ラビットサーマルアニールによって該セラミックス原料液を結晶化して強誘電体膜を形成し、

前記強誘電体膜上に第2電極を形成し、

酸素を含む加圧雰囲気下でアニールを行うことを含む、強誘電体メモリ装置の製造方法。

22. 請求項16ないし18のいずれかにおいて、

前記セラミックス原料液を結晶化させる際に、紫外線を照射する、強誘電体メモリ装置の製造方法。

23. 第1電極と、前記第1電極と交差する方向に配列された第2電極と、少なくとも前記第1電極と前記第2電極との交差領域に配置された強誘電体膜と、を含み、前記第1電極、前記強誘電体膜及び前記第2電極によって構成されるキャパシタがマトリクス状に配置された強誘電体メモリ装置であって、

前記強誘電体膜は、Si及びGeの少なくとも一方を含む、強誘電体メモリ装置。

24. 請求項23において、

前記強誘電体膜は、強誘電体材料と常誘電体材料とを含む混合材料を用いる、強誘電体メモリ装置。

25. 請求項24において、

前記常誘電体材料は、強誘電体よりも比誘電率の小さな、シリケート及びゲルマネートの少なくとも一方を含む、強誘電体メモリ装置。

26. 請求項24において、

前記常誘電体材料は、 CaSiO_3 、 BaSiO_3 、 PbSiO_3 、 ZnSiO_3 、 MgSiO_3 、 B_2SiO_5 、 Al_2SiO_5 、 Y_2SiO_5 、 La_2SiO_5 、 Cr_2SiO_5 、 Bi_2SiO_5 、 Ga_2SiO_5 、 ZrSiO_4 、 TiSiO_4 、 HfSiO_4 、 NbSiO_4 、 MoSiO_5 、 WSiO_5 、 V_2SiO_7 からなる群から選択される1種以上の酸素四面体構造を有する層状化合物、及び

CaGeO_3 、 BaGeO_3 、 PbGeO_3 、 ZnGeO_3 、 MgGeO_3 、 B_2GeO_5 、 Al_2GeO_5 、 Y_2GeO_5 、 La_2GeO_5 、 Cr_2GeO_5 、 Bi_2GeO_5 、 Ga_2GeO_5 、 ZrGeO_4 、 TiGeO_4 、 HfGeO_4 、 NbGeO_4 、 MoGeO_5 、 WGeO_5 、 V_2GeO_7 からなる群から選択される1種以上の酸素四面体構造を有する層状化合物の少なくとも1種を含む、強誘電体メモリ装置。

27. 請求項24ないし26のいずれかにおいて、

前記強誘電体材料に対する前記常誘電体材料の割合は、モル比で $0.1 \leqq \text{常誘電体材料}/\text{強誘電体材料} \leqq 9$ である、強誘電体メモリ装置。

28. 請求項27において、

前記強誘電体材料に対する前記常誘電体材料の割合は、モル比で $0.1 \leqq \text{常誘電体材料}/\text{強誘電体材料} \leqq 1$ である、強誘電体メモリ装置。

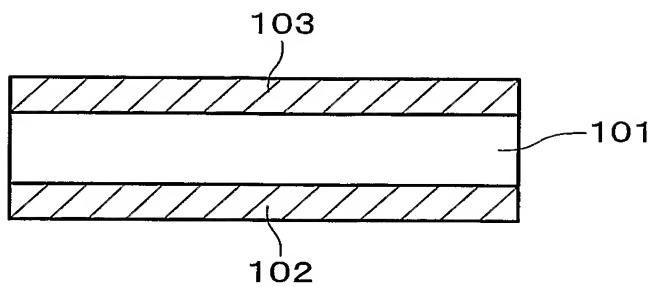
29. 請求項27において、

前記強誘電体材料に対する前記常誘電体材料の割合は、モル比で $1 < \text{常誘電}$

体材料／強誘電体材料 ≤ 9 である、強誘電体メモリ装置。

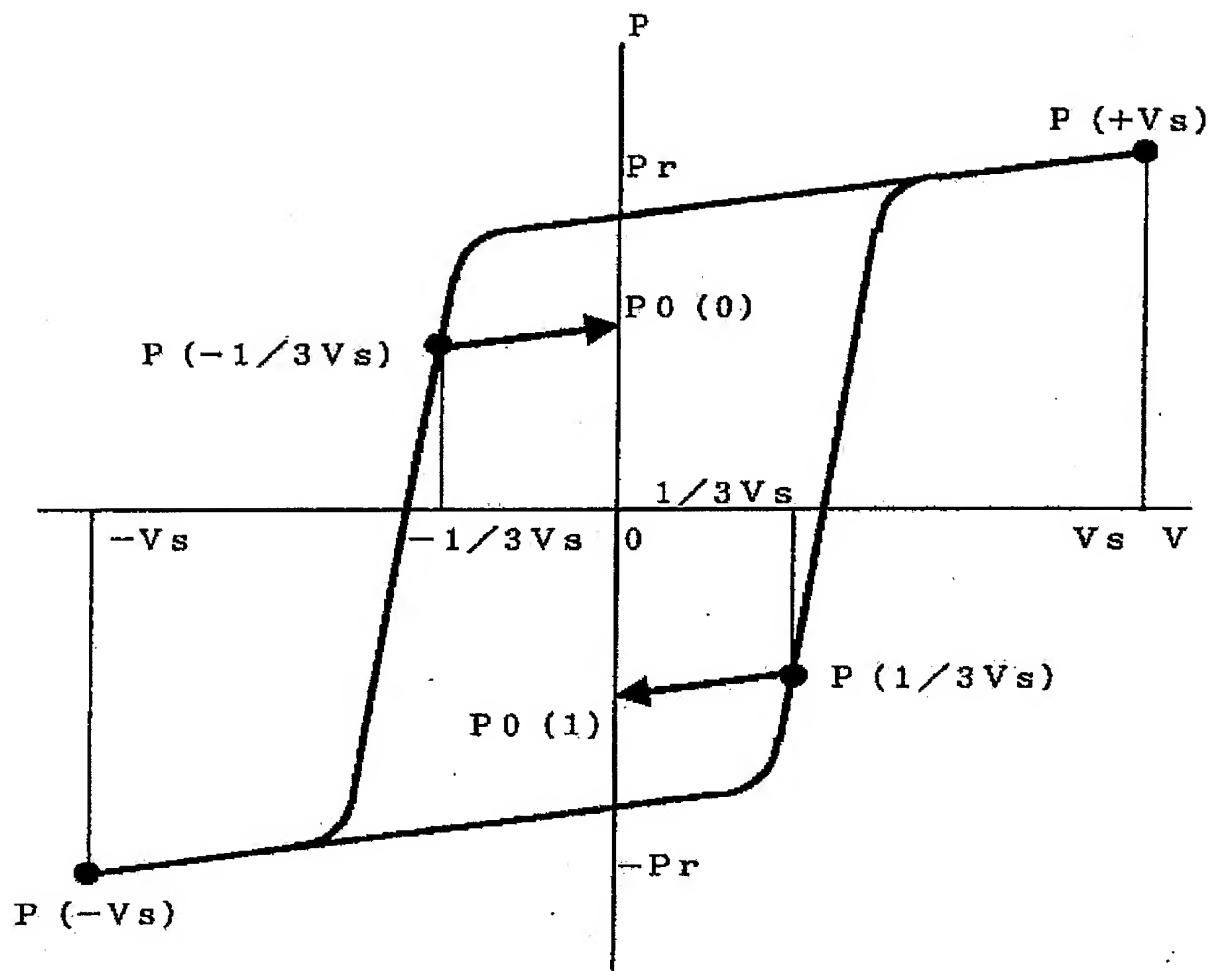
1/23

FIG. 1

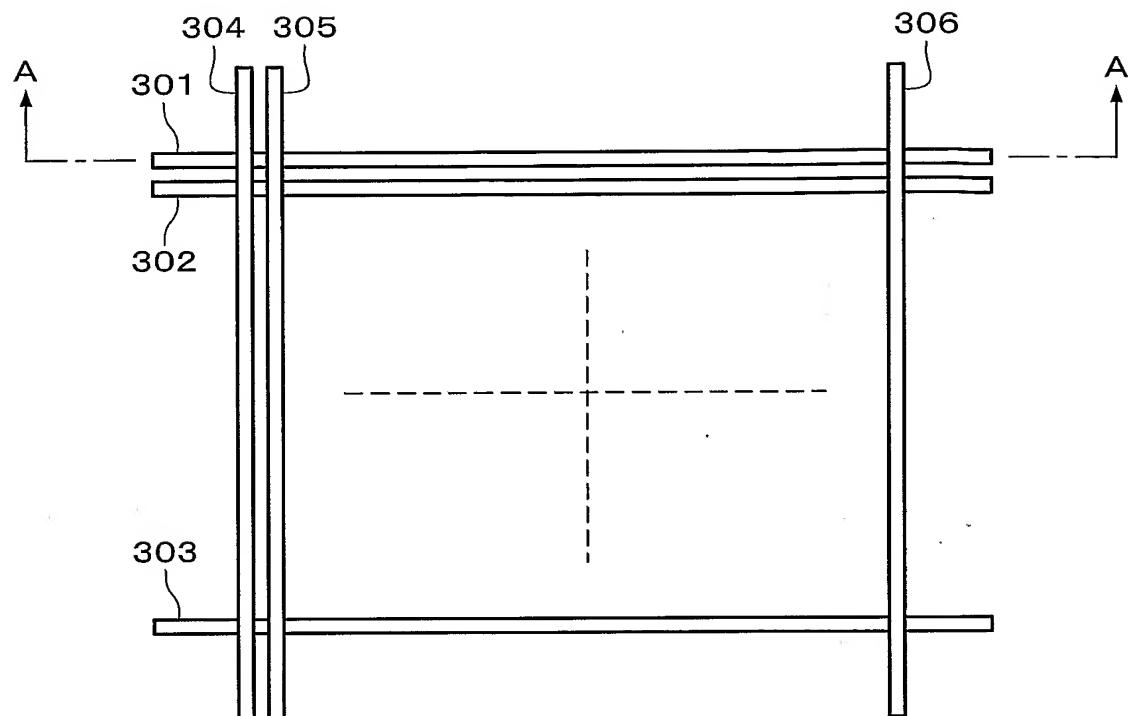
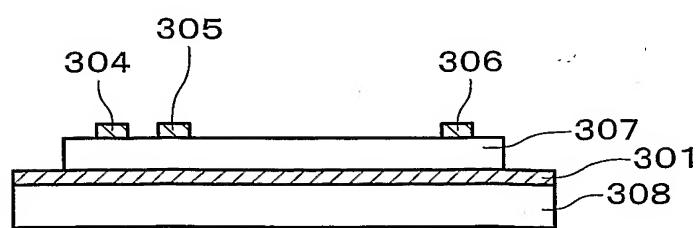


2/23

FIG. 2



3/23

FIG. 3A**FIG. 3B**

4/23

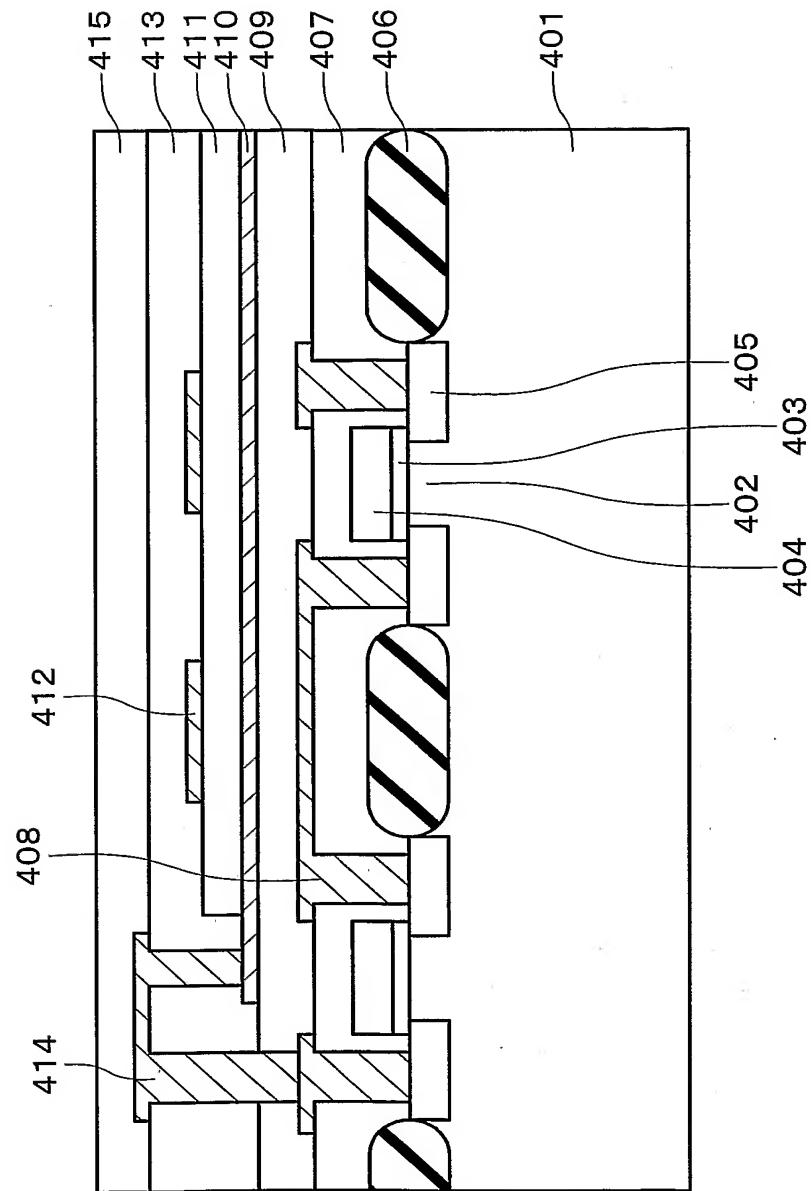
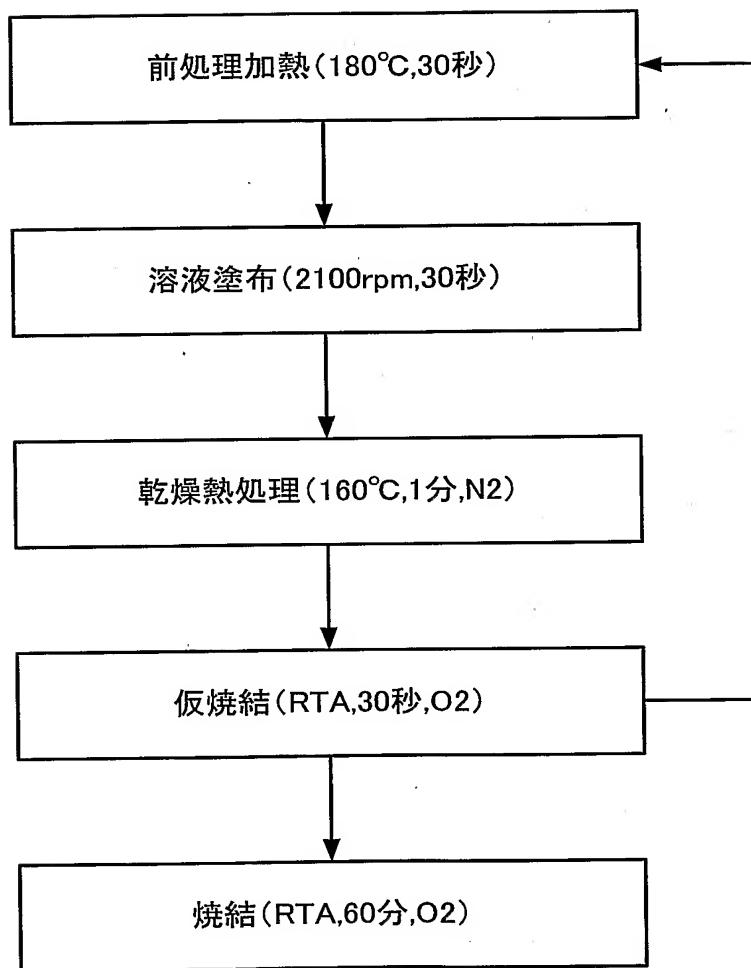


FIG. 4

5 / 23

FIG. 5



6/23

FIG. 6

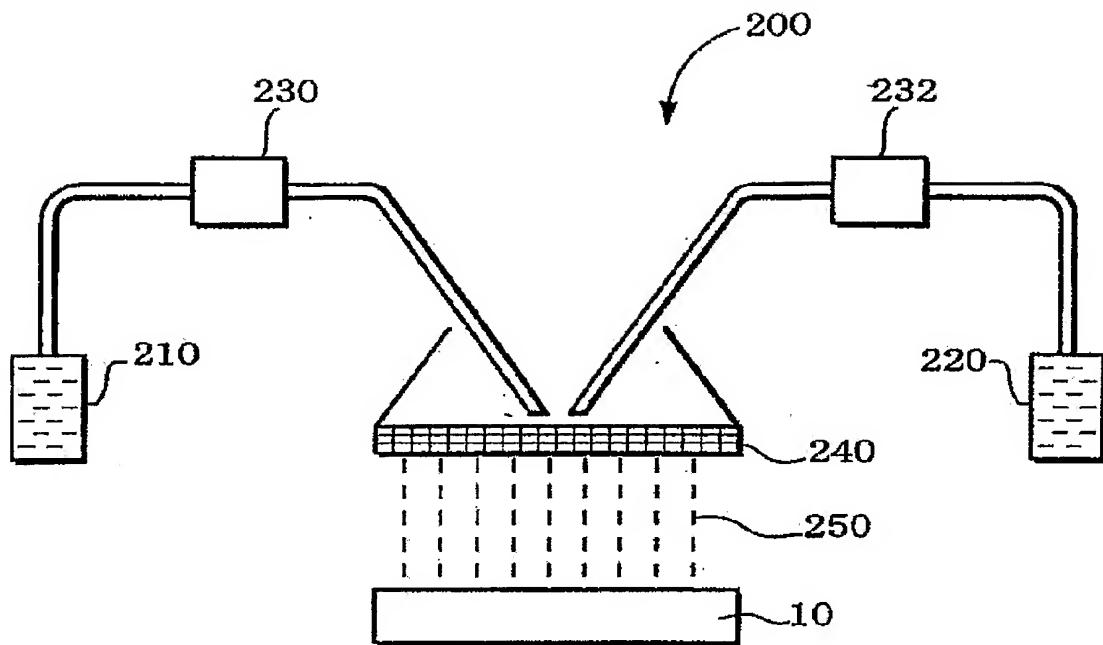
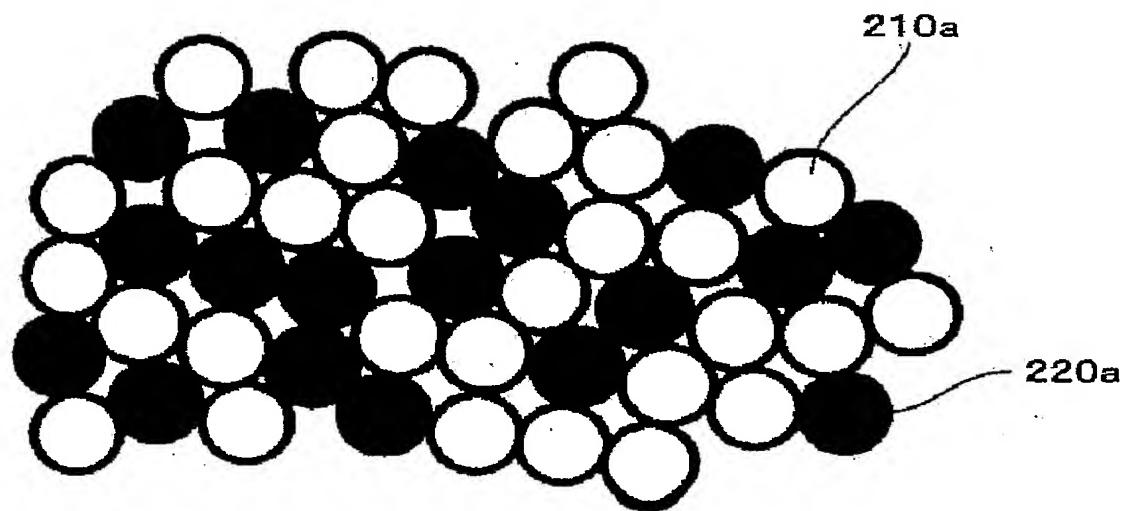
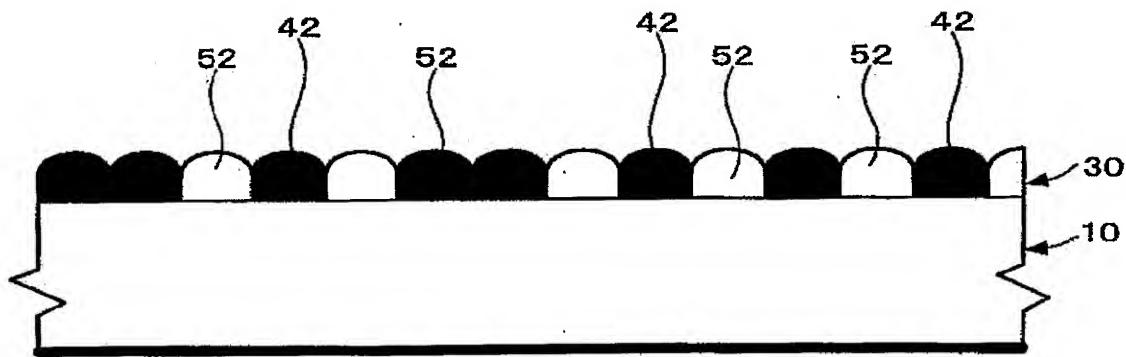


FIG. 7



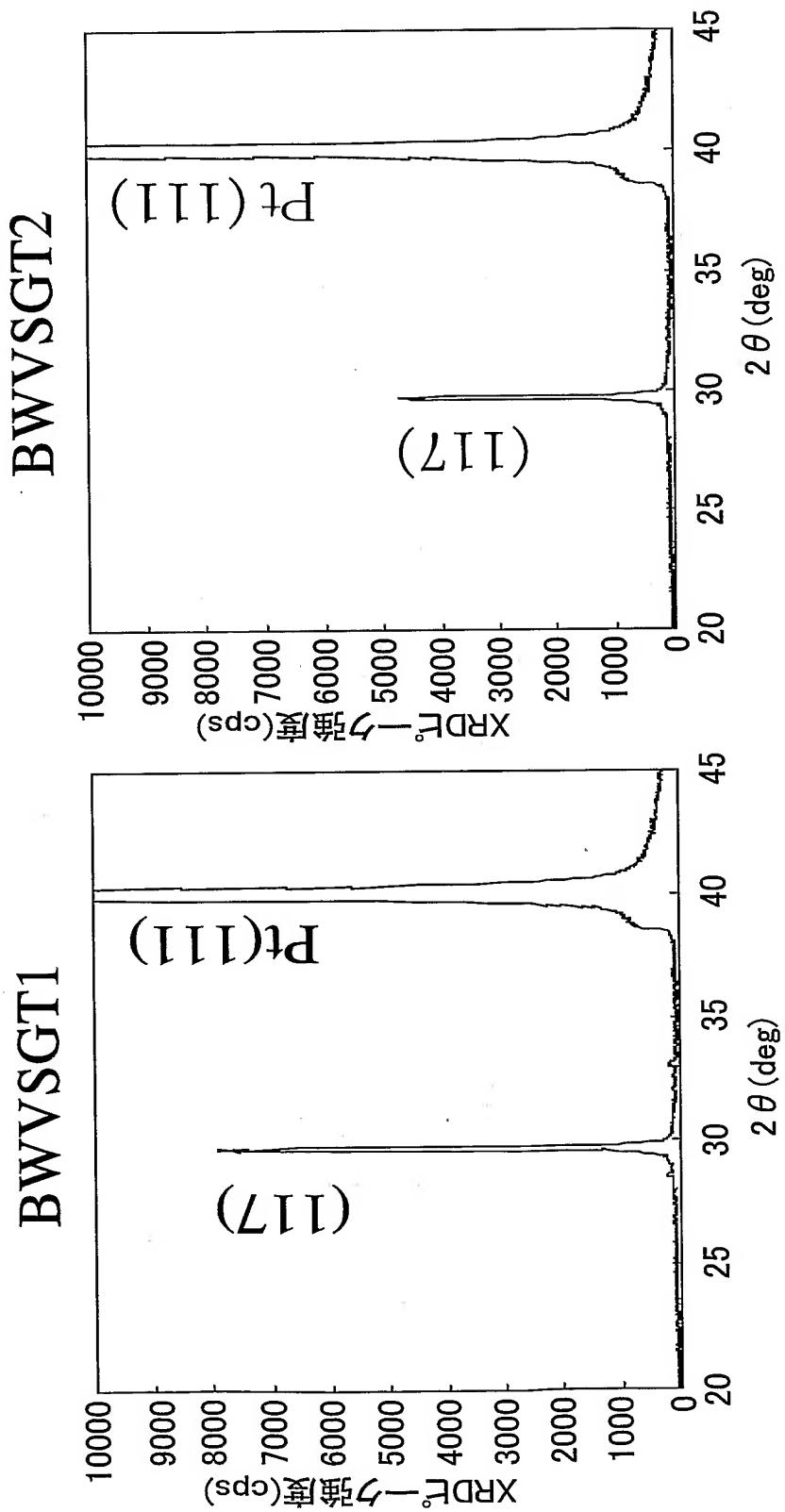
7/23

FIG. 8



8 / 23

FIG. 9



9 / 23

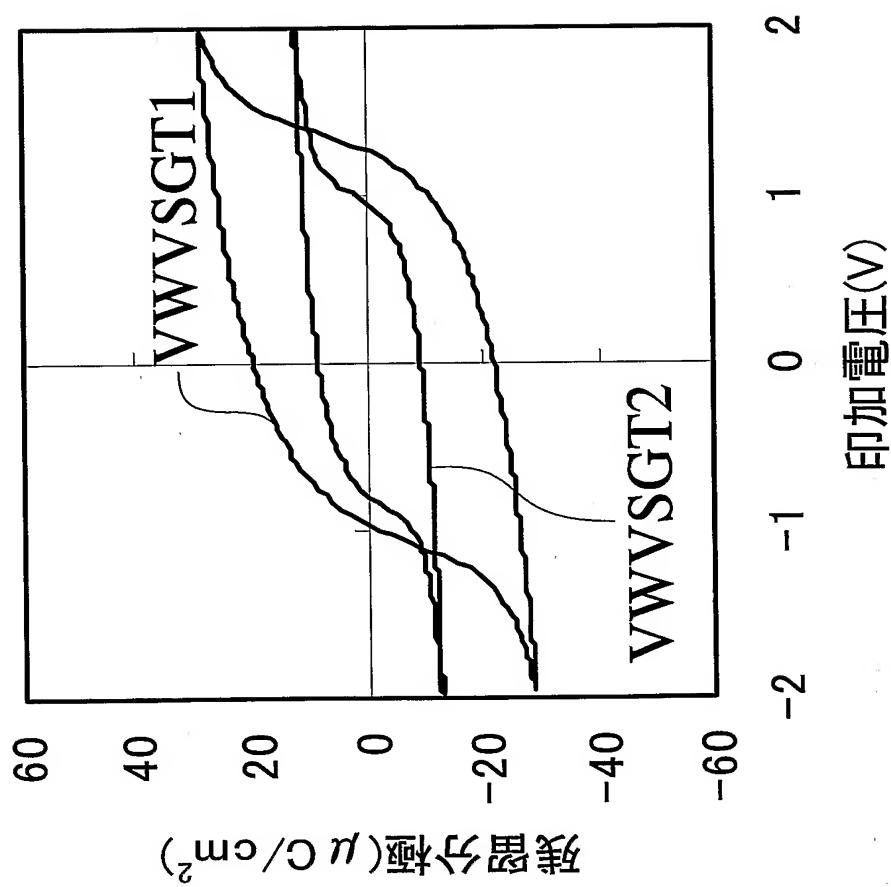
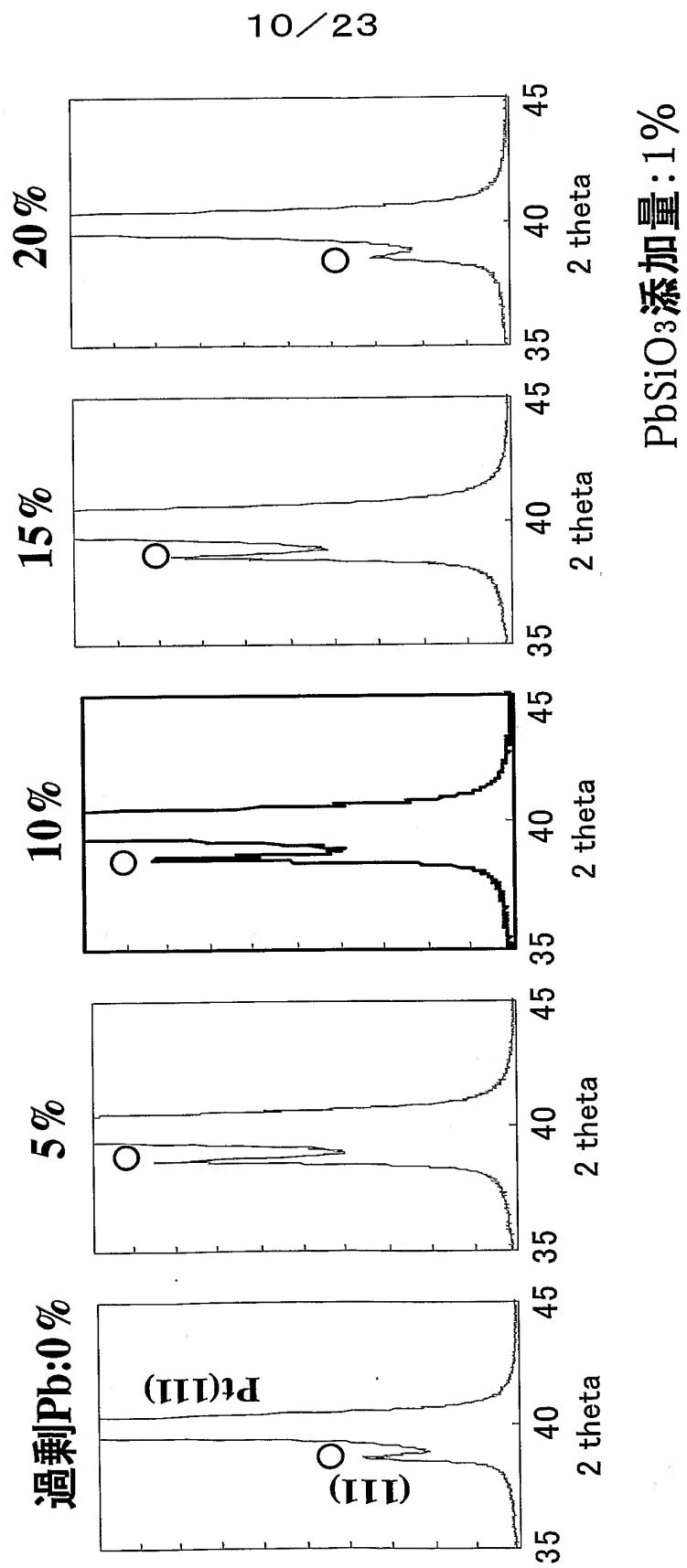


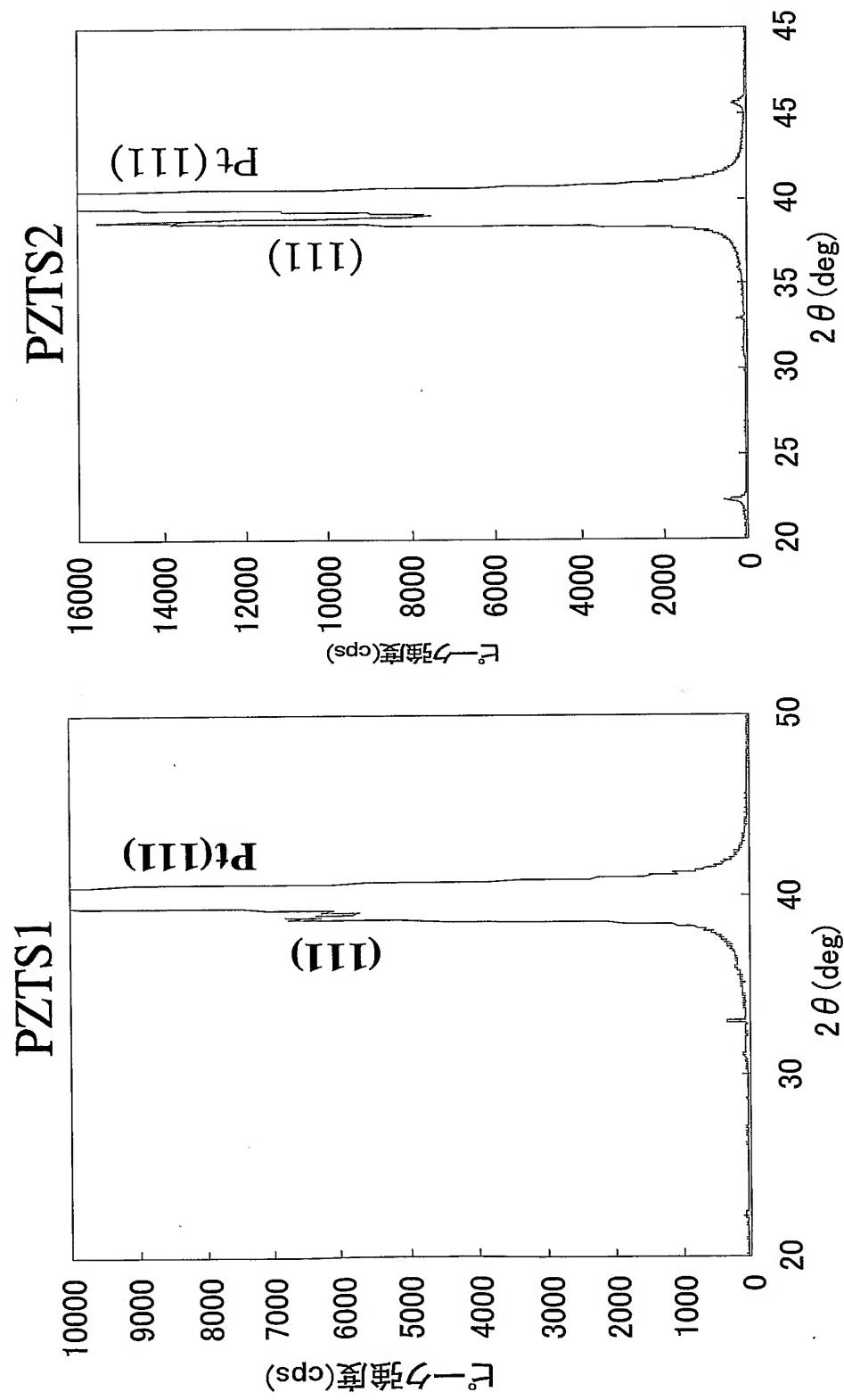
FIG. 10

FIG. 11



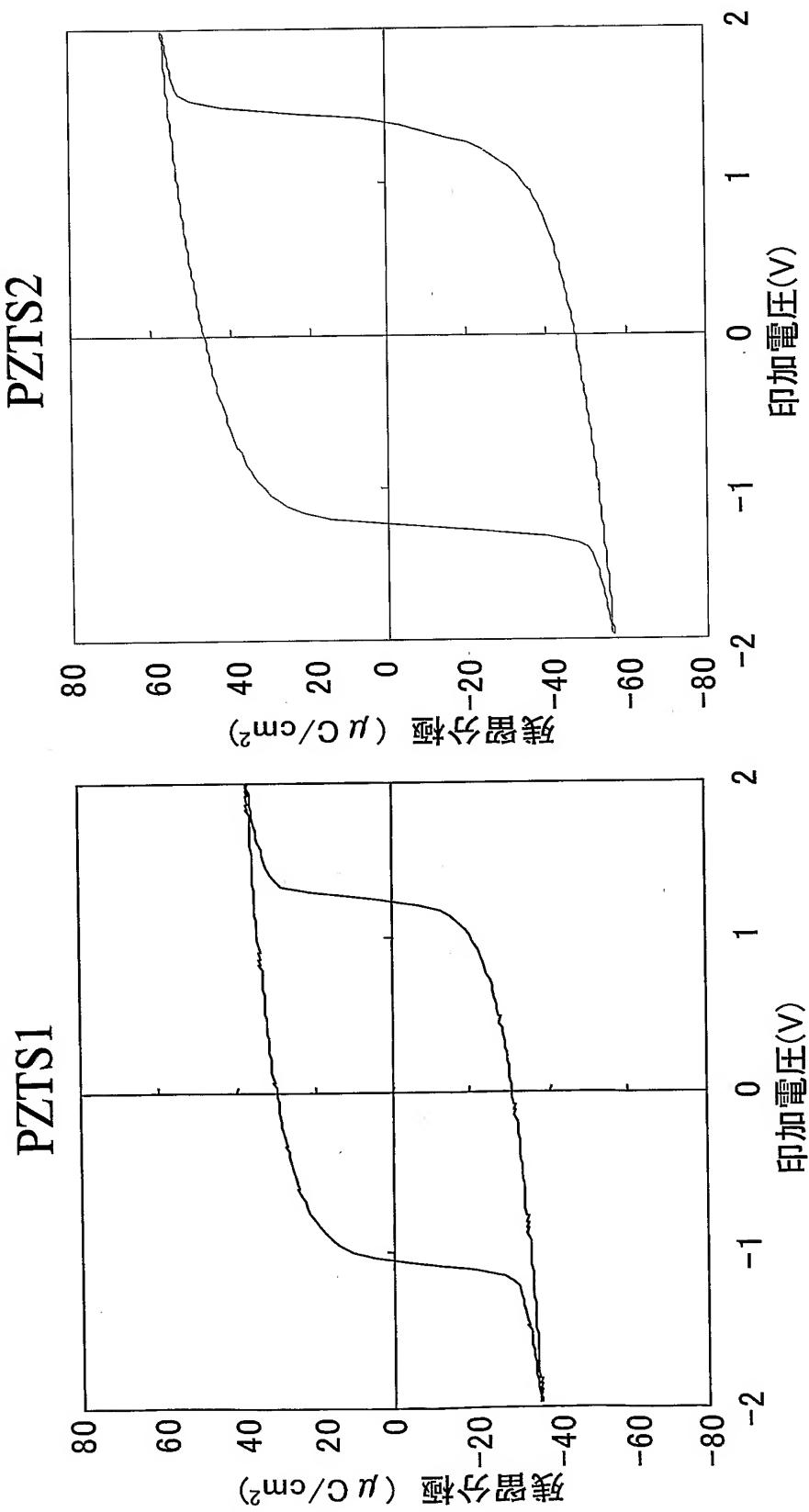
11/23

FIG. 12



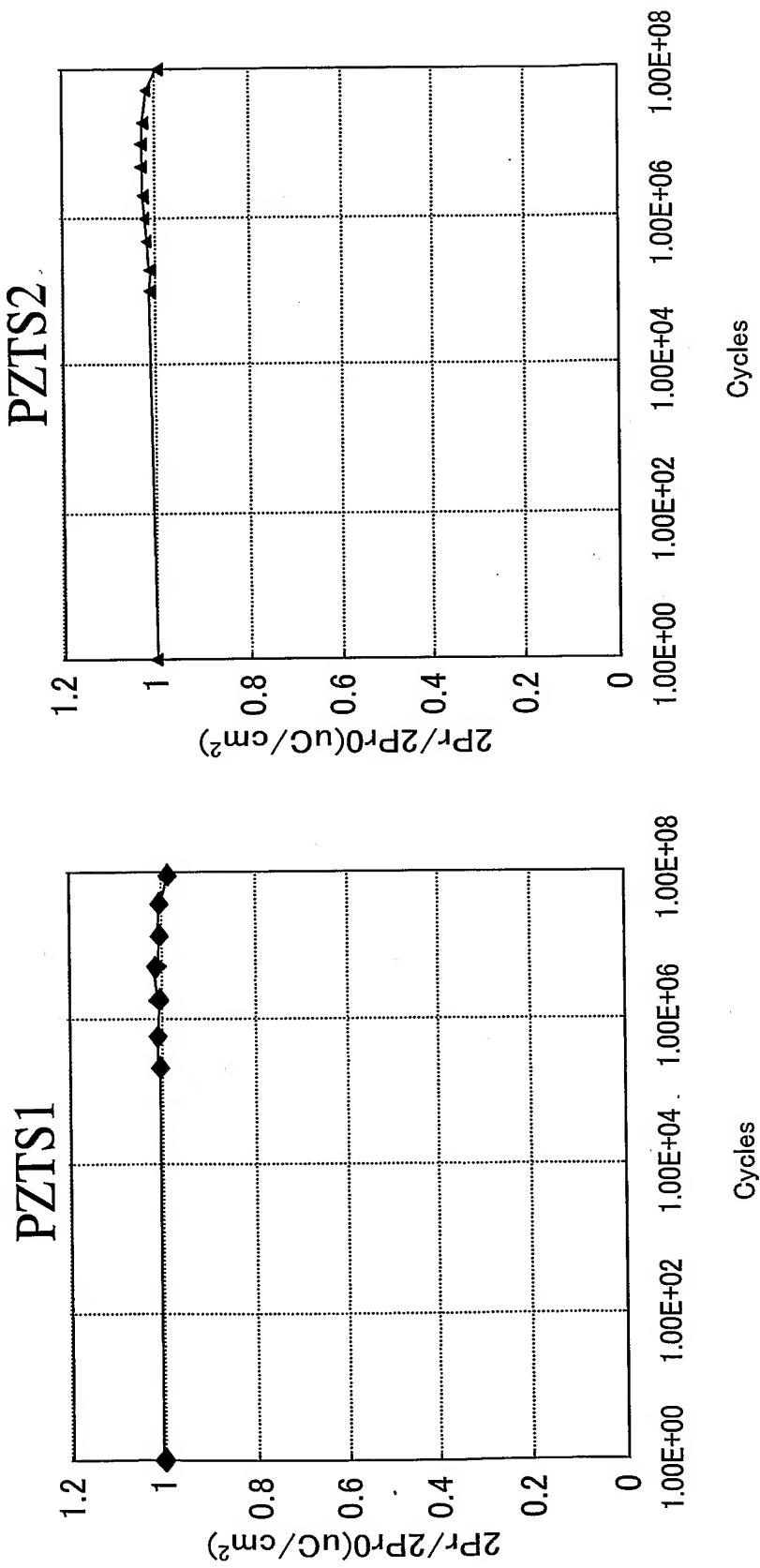
12/23

FIG. 13



13 / 23

FIG. 14



14/23

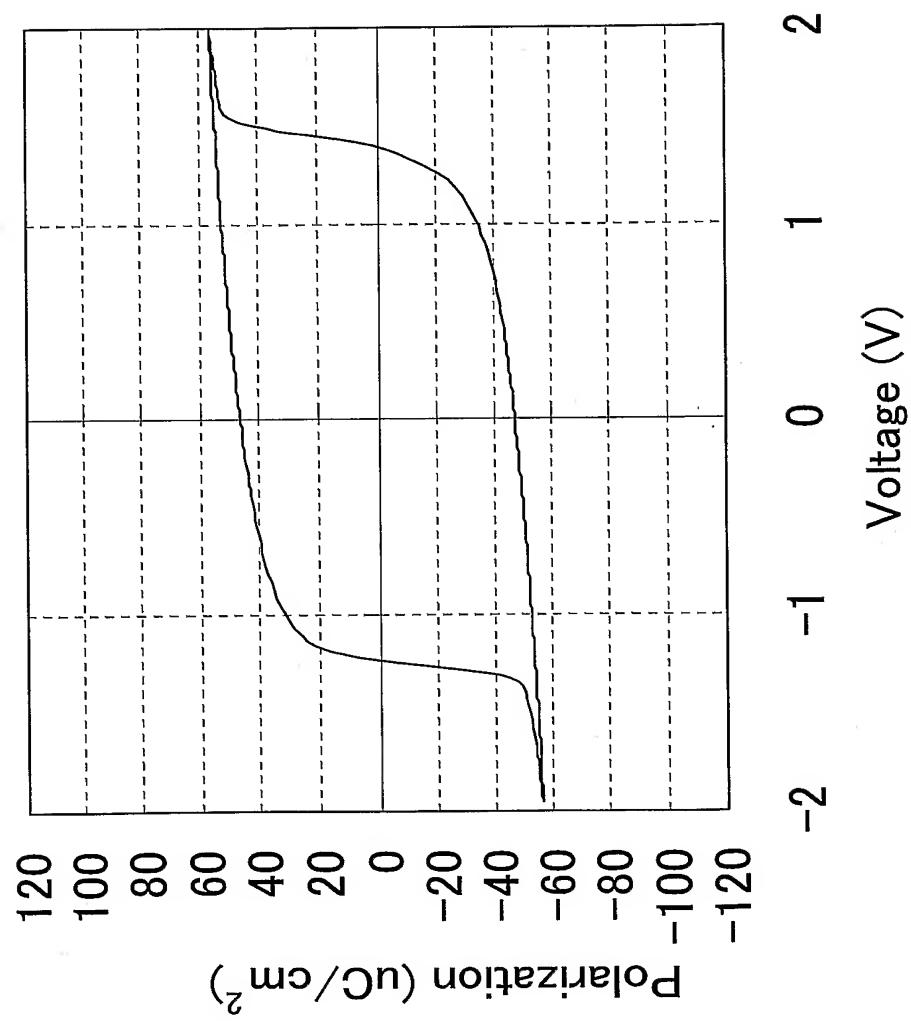
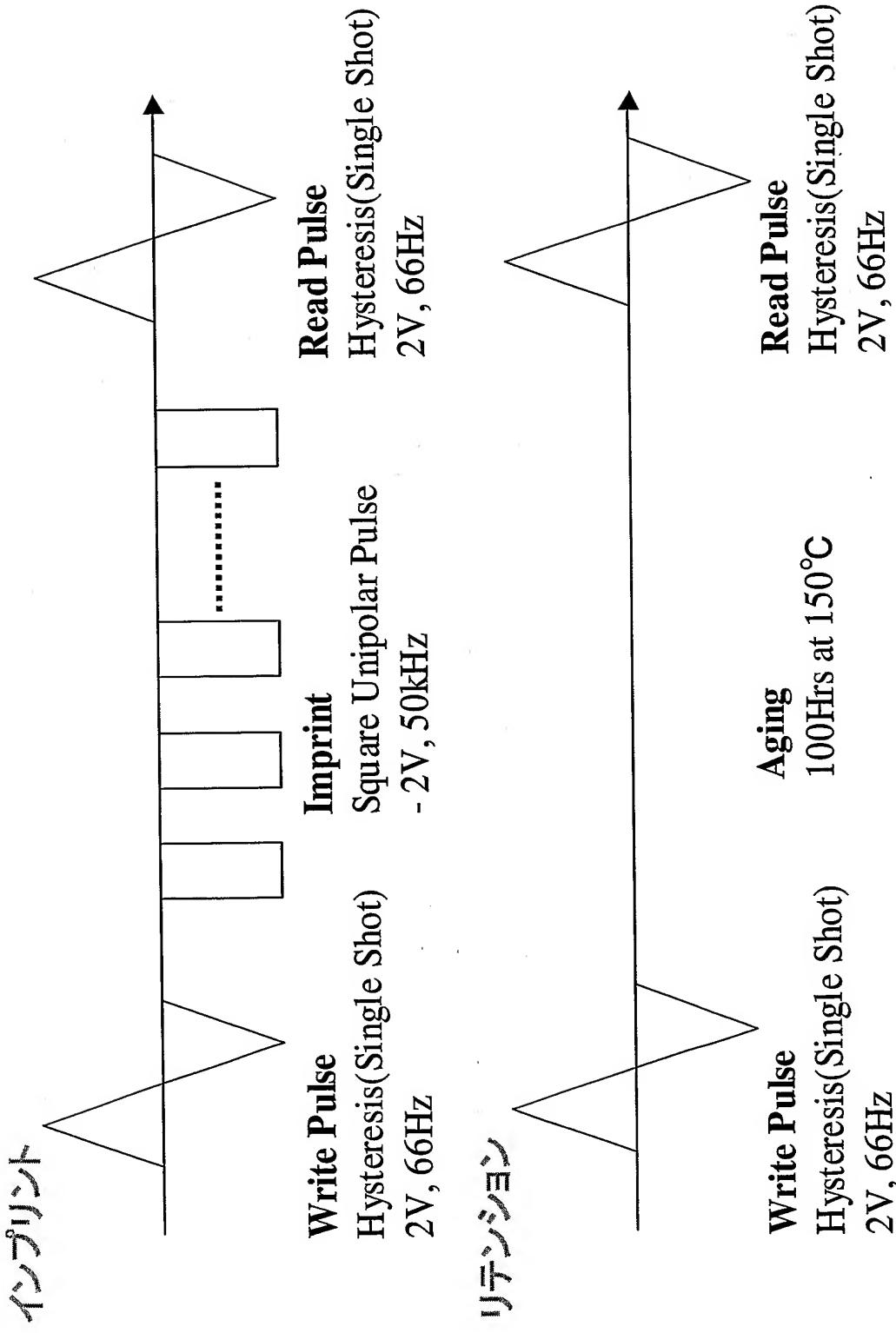


FIG. 15

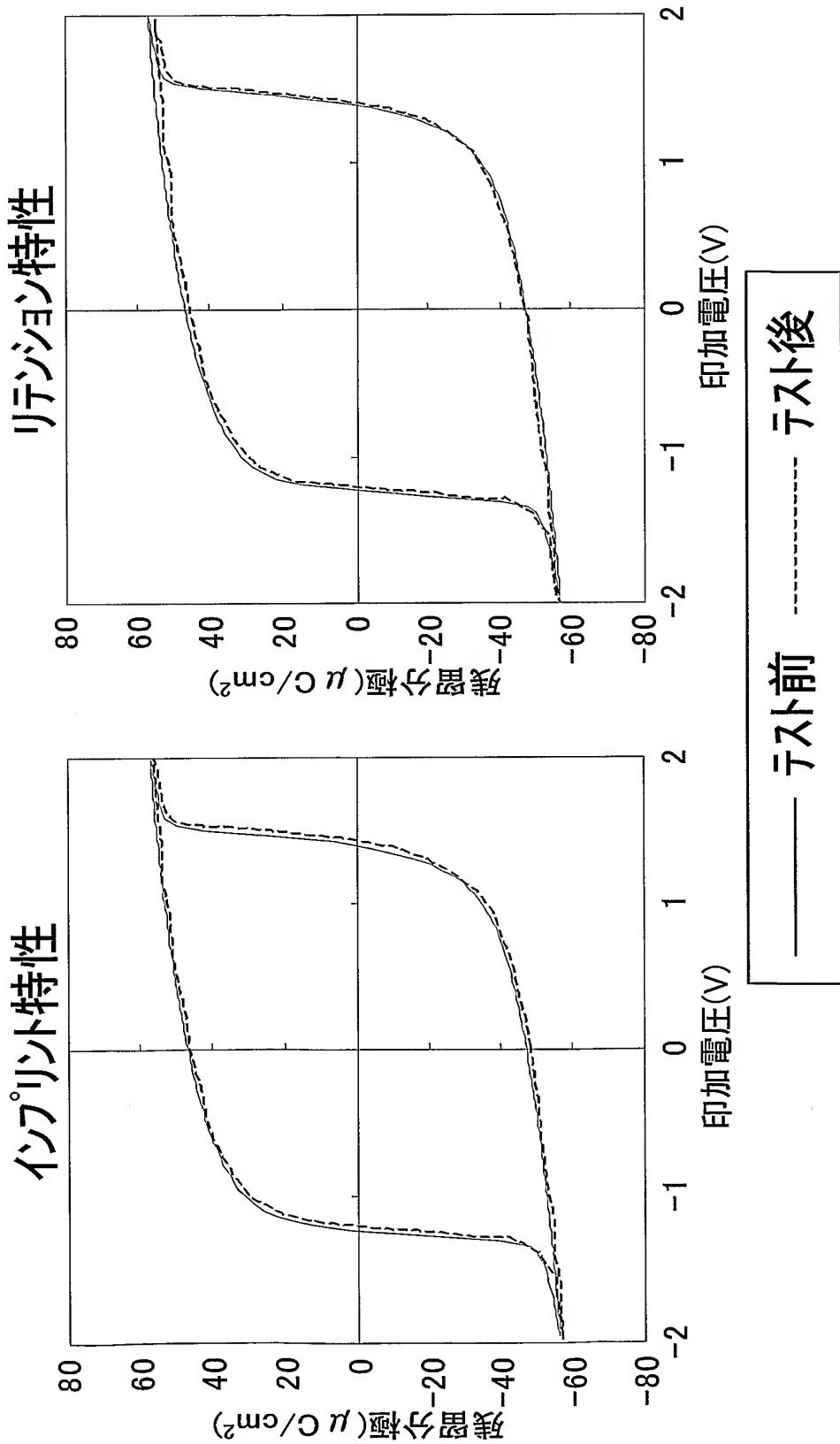
15 / 23

FIG. 16



16 / 23

FIG. 17



17/23

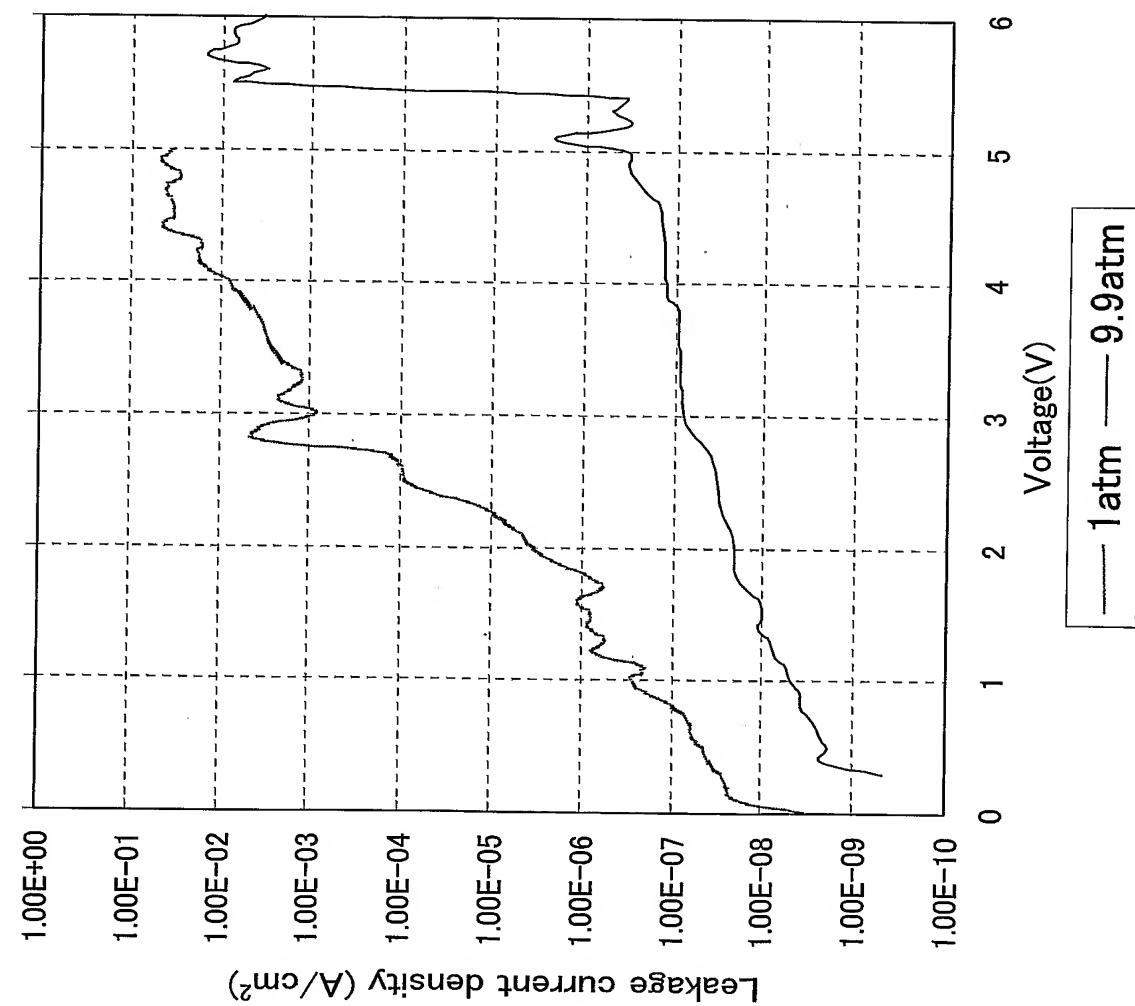
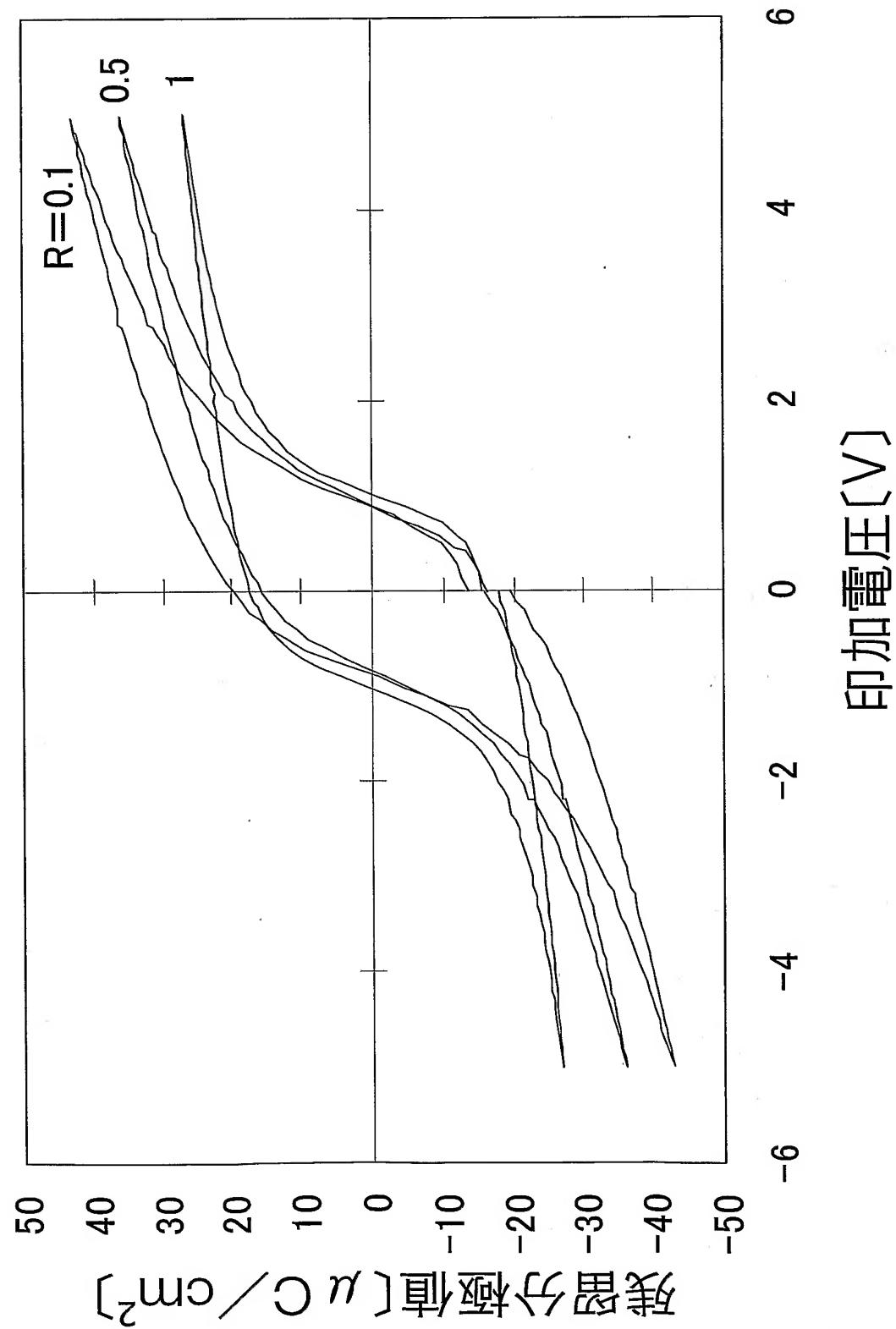


FIG. 18

18/23

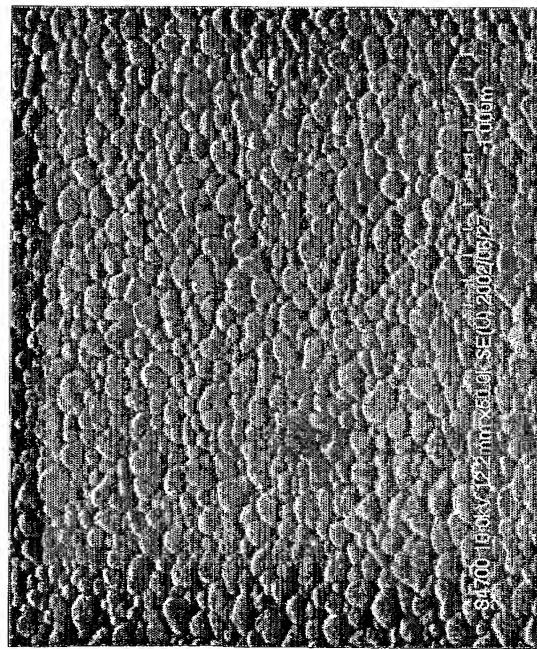
FIG. 19



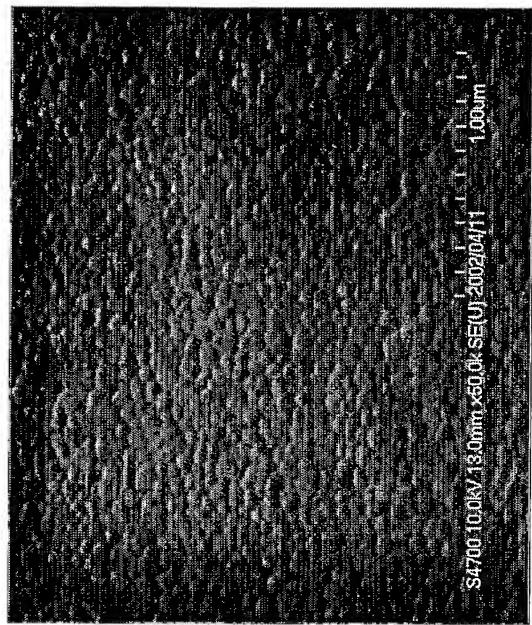
19/23

FIG. 20

R=0

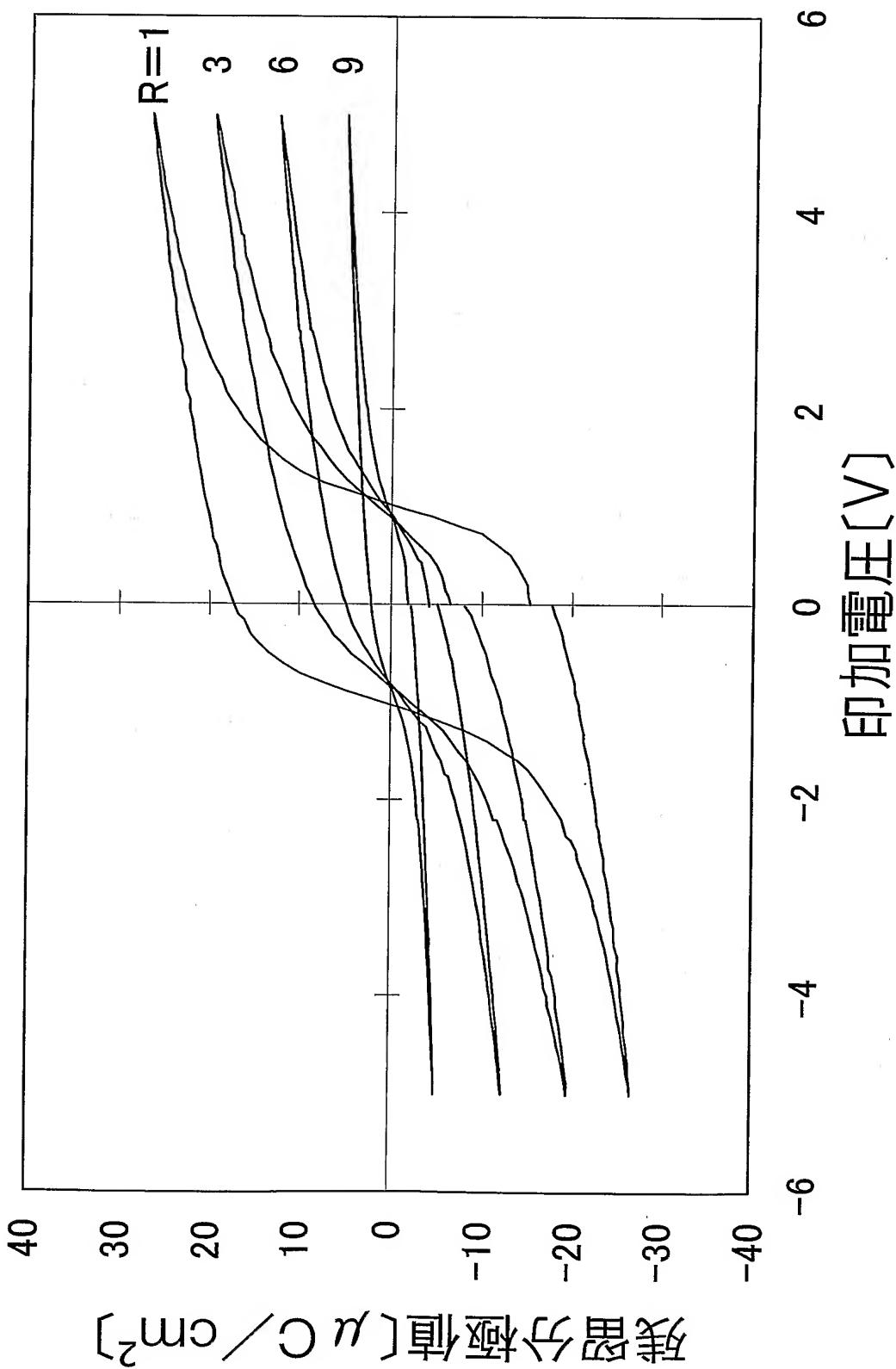


R=0.1

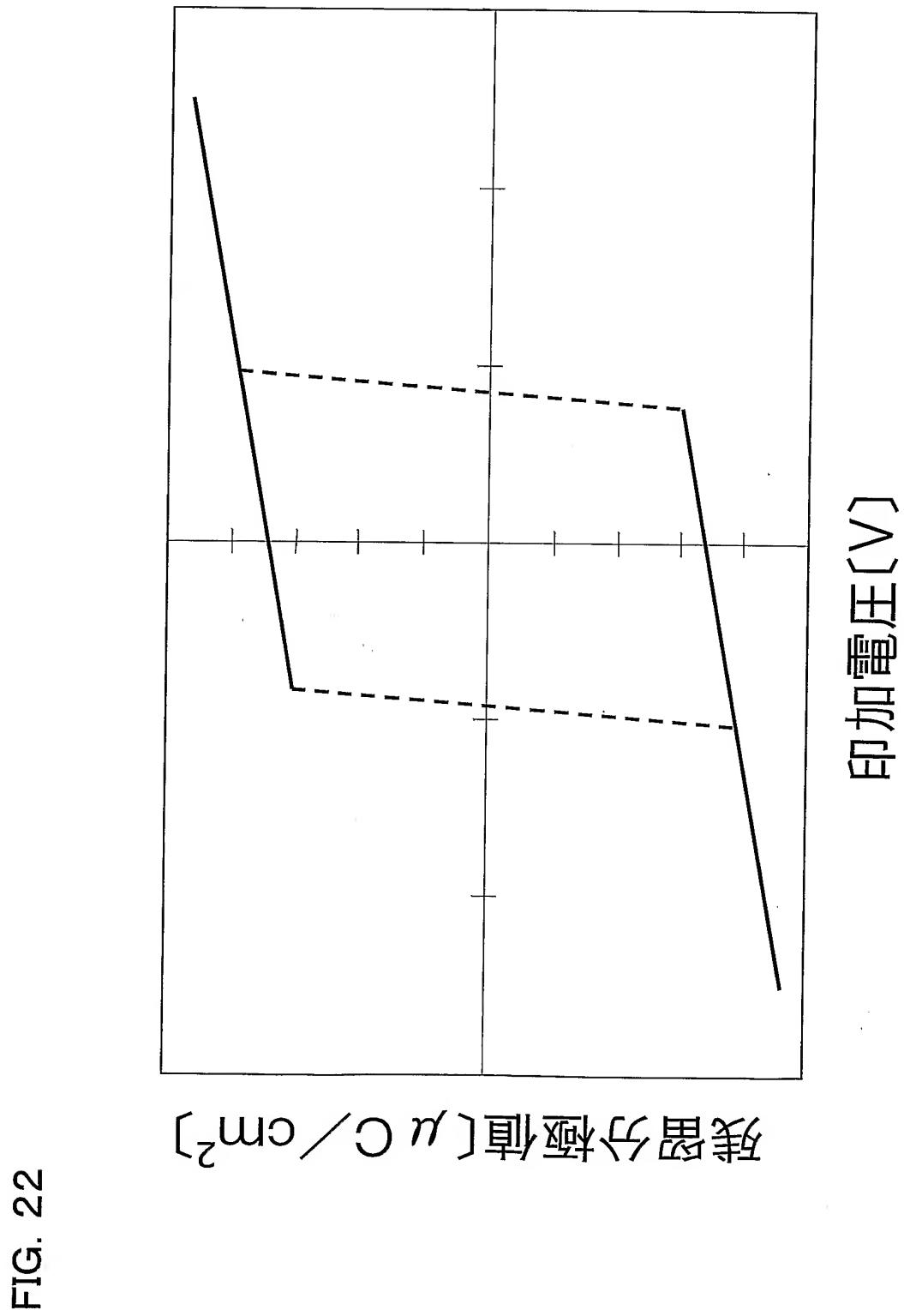


20/23

FIG. 21

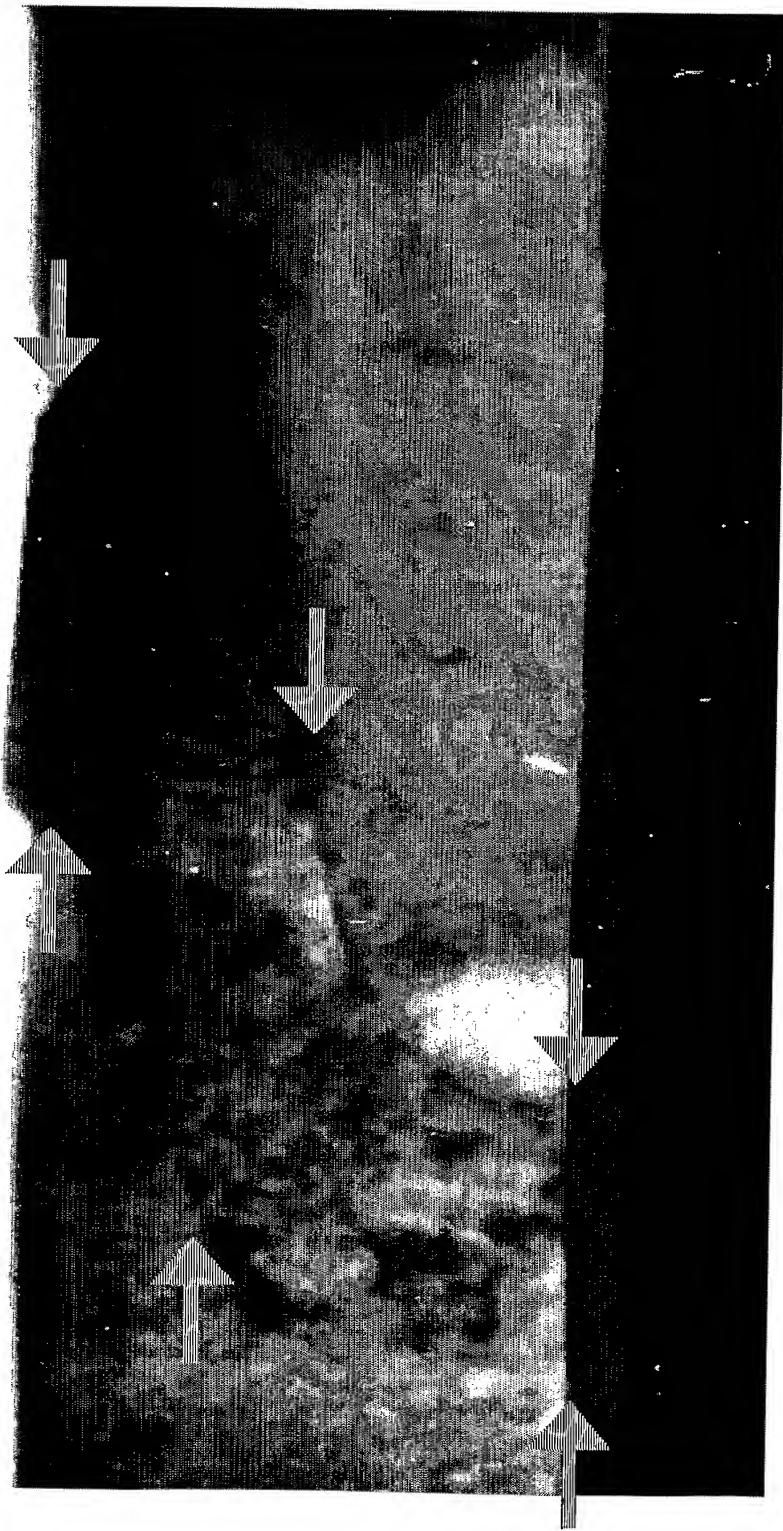


21/23



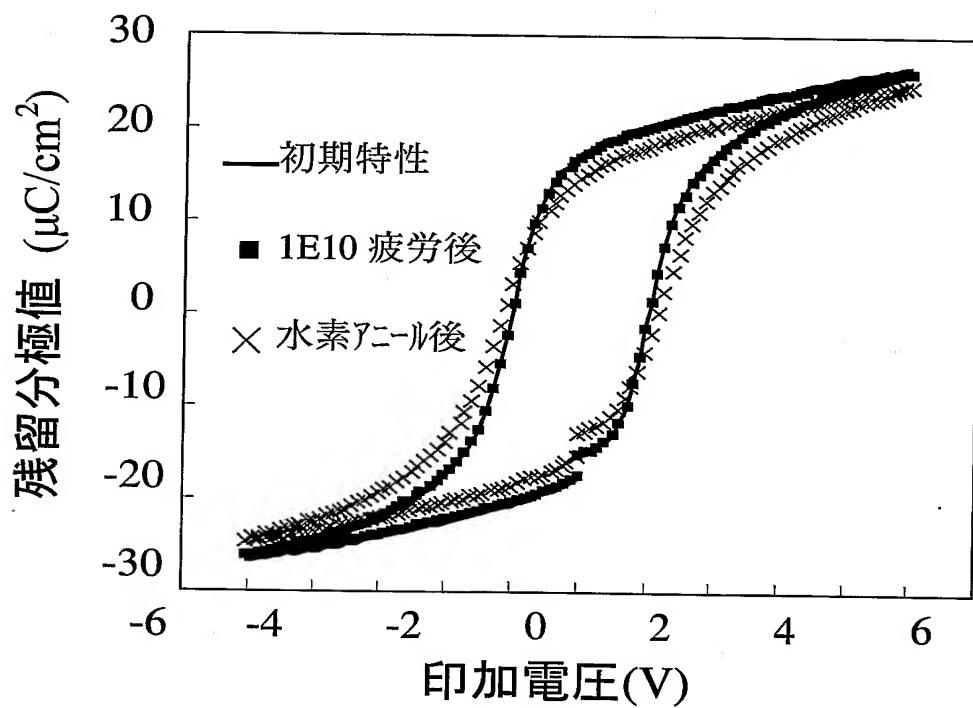
22/23

FIG. 23



23/23

FIG. 24



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP02/09032

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ H01L27/105

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ H01L27/105, C01B13/14, C01G29/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Toroku Jitsuyo Shinan Koho	1994-2002
Kokai Jitsuyo Shinan Koho	1971-2002	Jitsuyo Shinan Toroku Koho	1996-2002

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	EP 1039525 A1 (HITACHI LTD.), 27 September, 2000 (27.09.00), Page 5, column 7, line 1 to page 8, column 13, line 41; Claims 1 to 19 & WO 99/25014 A1	1-29
X	JP 8-340086 A (Sharp Corp.), 24 December, 1996 (24.12.96), Page 4, column 6, line 46 to page 6, column 9, line 14; page 7, column 12, lines 19 to 30 (Family: none)	1
X	2001 nen (Heisei 13 nen), Shunki Dai 48 Kai Oyo Butsurigaku Kankei Rengo Koenkai Koen Yokoshu, 28 March, 2001 (28.03.01), page 535 28a-ZX-1	1

Further documents are listed in the continuation of Box C. See patent family annex.

- * Special categories of cited documents:
- "A" document defining the general state of the art which is not considered to be of particular relevance
- "E" earlier document but published on or after the international filing date
- "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- "O" document referring to an oral disclosure, use, exhibition or other means
- "P" document published prior to the international filing date but later than the priority date claimed

- "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
- "&" document member of the same patent family

Date of the actual completion of the international search 09 December, 2002 (09.12.02)	Date of mailing of the international search report 24 December, 2002 (24.12.02)
---	--

Name and mailing address of the ISA/ Japanese Patent Office	Authorized officer
Facsimile No.	Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP02/09032

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	WANG X. et al., Structural and Electrical Properties of Ferroelectric $Pb(Zr_{1-x}Ti_x)O_3-SiO_2$ Glass-Ceramic Thin Films Derived by the Sol-Gel Method. In: Japanese Journal of Applied Physics, Vol.40, Part 1, No.3A (2001. 03), pages 1401 to 1407, Full text	1
A	JP 2001-181034 A (TDK Kabushiki Kaisha), 03 July, 2001 (03.07.01), Claim 1; page 5, column 7, line 30 to page 5, column 8, line 27 (Family: none)	1-29
A	US 6194228 B1 (FUJITSU LTD.), 27 February, 2001 (27.02.01), Column 3, line 60 to column 5, line 54 & JP 11-195768 A	16-22
A	KIJIMA T. et al., Preparation of $Bi_4Ti_3O_12$ Thin Film on Si(100) Substrate Using Bi_2SiO_5 Buffer Layer and Its Electric Characterization. In: Japanese Journal of Applied Physics, Vol.37, Part 1, No.9B (1998. 09), pages 5171 to 5173 Full text	1-29
E,X	WO 02/32809 A1 (Sharp Corp.), 25 April, 2002 (25.04.02), Page 14, line 28 to page 23, line 13; page 27, line 1 to page 30, line 28; Claims 1 to 14 (Family: none)	1-29
P,X	WANG X. et al., Sol-Gel Derived Ferroelectric $Pb(Zr_{1-x}Ti_x)O_3-SiO_2-B_2O_3$ Glass-Ceramic Thin Films Formed at Relatively Low Annealing Temperatures. In: Japanese Journal of Applied Physics, Vol.40, Part 1, No.9B (2001. 09), pages 5547 to 5550 Full text	1-29

A. 発明の属する分野の分類(国際特許分類(IPC))
Int. C17 H01L 27/105

B. 調査を行った分野

調査を行った最小限資料(国際特許分類(IPC))
Int. C17 H01L 27/105, C01B 13/14, C01G 29/00

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2002年
日本国登録実用新案公報	1994-2002年
日本国実用新案登録公報	1996-2002年

国際調査で使用した電子データベース(データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	E P 1 0 3 9 5 2 5 A 1 (HITACHI LTD.) 2000.09.27 第5頁第7欄第1行-第8頁第13欄第41行、 Claims 1 - 19 & WO 99/25014 A 1	1-29
X	J P 8-340086 A (シャープ株式会社) 1996.12.24 第4頁第6欄第46行-第6頁第9欄第14行、第7頁第12欄 第19-30行 (ファミリーなし)	1

* C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

- 「A」特に関連のある文献ではなく、一般的技術水準を示すもの
- 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
- 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献(理由を付す)
- 「O」口頭による開示、使用、展示等に言及する文献
- 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

- 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
- 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
- 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
- 「&」同一パテントファミリー文献

国際調査を完了した日 09.12.02	国際調査報告の発送日 24.12.02
国際調査機関の名称及びあて先 日本国特許庁 (ISA/JP) 郵便番号 100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官(権限のある職員) 今井 拓也 4M 9169 電話番号 03-3581-1101 内線 3462

C (続き) . 関連すると認められる文献		関連する 請求の範囲の番号
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	
X	2001年(平成13年)春季第48回応用物理学関係連合講演会 講演予稿集、2001.03.28、p. 535 28a-ZX-1	1
X	WANG X. et.al. Structural and Electrical Properties of Ferroelectric $Pb(Zr_{1-x}Ti_x)O_3-SiO_2$ Glass-Ceramic Thin Films Derived by the Sol-Gel Method. In: Japanese Journal of Applied Physics, Vol. 40, Part1, No3A (2001.03) p. 1401-1407 全文	1
A	J P 2001-181034 A (ティーディーケイ株式会社) 2001.07.03 請求項1、第5頁第7欄第30行—第5頁第8欄第27行 (ファミリーなし)	1-29
A	U S 6 1 9 4 2 2 8 B 1 (FUJITSU LIMITED) 2001.02.27 第3欄第60行—第5欄第54行 & J P 11-195768 A	16-22
A	KIJIMA T. et.al. Preparation of $Bi_4Ti_3O_12$ Thin Film on Si(100) Substrate Using Bi_2SiO_5 Buffer Layer and Its Electric Characterization. In: Japanese Journal of Applied Physics, Vol. 37, Part1, No9B (1998.09) p. 5171-5173 全文	1-29
EX	WO 02/32809 A1 (シャープ株式会社) 2002.04.25 第14頁第28行—第23頁第13行、第27頁第1行—第30頁 第28行、請求の範囲1-14 (ファミリーなし)	1-29
P X	WANG X. et.al. Sol-Gel Derived Ferroelectric $Pb(Zr_{1-x}Ti_x)O_3 - SiO_2 - B_2O_3$ Glass-Ceramic Thin Films Formed at Relatively Low Annealing Temperatures. In: Japanese Journal of Applied Physics, Vol. 40, Part1, No9B (2001.09) p. 5547-5550 全文	1-29